

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-255559

(43)Date of publication of application : 21.09.2001

(51)Int.Cl.

G02F 1/1368

G09F 9/00

G09F 9/30

H01L 21/20

H01L 29/786

H01L 21/336

(21)Application number : 2000-069414

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 13.03.2000

(72)Inventor : YASUKAWA MASAHIRO

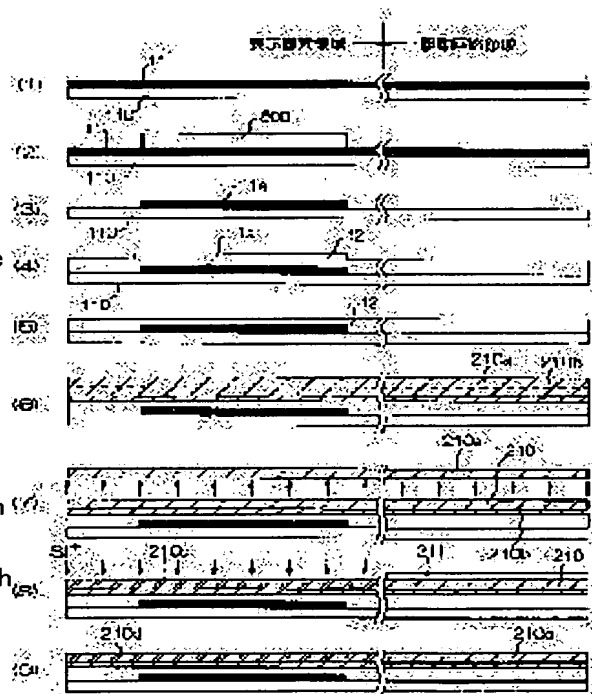
(54) METHOD OF MANUFACTURING ELECTRO-OPTIC DEVICE AND ELECTRO-OPTIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To easily and efficiently manufacture an electro-optic device in which single crystal silicon is used as the semiconductor layer of a switching element in a driving circuit region and polysilicon is used as the semiconductor layer of a switching element in a display pixel region and to provide an electro-optic device with high quality.

SOLUTION: In the method of manufacturing a TFT array substrate of a liquid crystal device, a single crystal silicon film 210 is formed on a substrate 110, and while a mask 211 is formed on the single crystal silicon film corresponding to the driving circuit region, silicon ions are injected into the single crystal silicon film corresponding to the display pixel region and heat treated.

Thereby, in the display pixel region the single crystal silicon film 210c with injected silicon ions is converted into polysilicon to form a polysilicon film 210d. The single crystal silicon film 210 in the driving circuit region becomes a single crystal silicon film 210e with the grown crystal.



LEGAL STATUS

[Date of request for examination] 11.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The display pixel by which the switching element which has the semi-conductor layer which consists of polish recon film at least on a substrate has been arranged, In the manufacture approach of an electro-optic device that the actuation circuit where the switching element which has the semi-conductor layer which consists of single-crystal-silicon film which drives this display pixel at least has been arranged has been arranged (a) The process which forms the single-crystal-silicon film on said substrate, and the process which forms a mask on said single-crystal-silicon film corresponding to the (b) aforementioned actuation circuit, (c) The process which pours silicon ion into the field in which the mask of said single-crystal-silicon film is not formed, and forms the non-single crystal film in it, (d) Patterning of the process which forms said non-single crystal film into polish recon, the field where the (e) aforementioned silicon ion was poured in, and the field where silicon ion is not poured in is carried out. The manufacture approach of the electro-optic device characterized by providing the process which forms the semi-conductor layer which consists of a semi-conductor layer which consists of said polish recon film, respectively, and said single-crystal-silicon film.

[Claim 2] The field where said silicon ion was poured in in the aforementioned (d) process is the manufacture approach of the electro-optic device according to claim 1 characterized by forming polish recon by being heat-treated.

[Claim 3] after the (aforementioned c) process -- it is -- before the (aforementioned d) process -- (f) -- the manufacture approach of the electro-optic device according to claim 2 which possesses further the process which removes said mask and is characterized by carrying out crystal growth of the non-single-crystal-silicon film of the field which is not covered with said heat-treatment with said mask in the aforementioned (d) process.

[Claim 4] (h) h [the process which sticks the single crystal silicon substrate into which the (g) hydrogen ion was injected on said substrate, and] The aforementioned (a) process is the manufacture approach of claim 1 characterized by providing the process which dissociates by heat-treating said stuck substrate and said single crystal silicon substrate, and forms said single-crystal-silicon film on said substrate to an electro-optic device according to claim 3.

[Claim 5] The manufacture approach of an electro-optic device given in any 1 term of claim 1 to claim 4 characterized by providing further the process which is after the (aforementioned a) process and forms an oxide film on the (i) aforementioned single-crystal-silicon film front face before the (aforementioned c) process.

[Claim 6] It is the manufacture approach of the electro-optic device according to claim 5 which the aforementioned (i) process is after the (aforementioned b) process, is performed before the (aforementioned c) process, and is characterized by said oxide film oxidizing and coming to form said single-crystal-silicon film front face.

[Claim 7] The manufacture approach of the electro-optic device according to claim 5 or 6 characterized by providing further the process which removes the (j) aforementioned oxide film before the (aforementioned d) process.

[Claim 8] Said mask is the manufacture approach of an electro-optic device given in any 1 term of claim

1 to claim 7 characterized by consisting of a nitride.

[Claim 9] The electro-optic device characterized by being manufactured by the manufacture approach of an electro-optic device given in any 1 term of claim 1 to claim 8.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of an electro-optic device and electro-optic device which carry out simultaneous formation of a display pixel and the actuation circuit on a substrate. It is related with the manufacture approach of the electro-optic device of the structure where the single-crystal-silicon layer was especially used as a semi-conductor layer of the switching element of a display pixel as a polish recon layer and a semi-conductor layer of the switching element of an actuation circuit, and the manufacture approach of an electro-optic device.

[0002]

[Description of the Prior Art] In the electro-optic device, for example, liquid crystal equipment, the structure where simultaneous formation of a display pixel and the actuation circuit was carried out is used on the same substrate. In such structure, a high-speed response is required of actuation of the switching element in an actuation circuit from the thing which may be comparatively late as for the actuation speed of the switching element arranged at a display pixel. For this reason, the technique using polish recon as a semi-conductor layer of the switching element of a display pixel is indicated by JP,5-134272,A, using single crystal silicon as a semi-conductor layer of the switching element of an actuation circuit. And by growing up the silicon film by using a silicon nitride as a nucleus by JP,5-134272,A as an approach of forming such a different semi-conductor layer on the same substrate efficiently, the semi-conductor layer was formed and it has determined whether to use as the polycrystalline silicon film the silicon film deposited by changing the magnitude of a silicon nitride used as a nucleus, or consider as the single-crystal-silicon film.

[0003]

[Problem(s) to be Solved by the Invention] However, by the manufacture approach indicated by the above-mentioned official report, it is difficult for the good silicon film of surface smooth nature to obtain, and flattening processing of CMP etc. is needed. Moreover, it is difficult to grow up the silicon film from a nucleus, and utilization is difficult. When a silicon nitride is used as a nucleus and especially a channel field consists of thin single-crystal-silicon film, there is a problem which the depletion layer of a channel makes carry out termination by the nitride side, and makes enlarge threshold dispersion of a component.

[0004] This invention manufactures easily efficiently the electro-optic device for which single crystal silicon was used for as a semi-conductor layer of the switching element of an actuation circuit field, and

polish recon was used as a semi-conductor layer of the switching element of a display pixel field by different process from the process indicated by JP,5-134272,A, and aims at offering the electro-optic device of high quality.

[0005]

[Means for Solving the Problem] In order to solve this technical problem, the manufacture approach of the electro-optic device of this invention The display pixel by which the switching element which has the semi-conductor layer which consists of polish recon film at least on a substrate has been arranged, In the manufacture approach of an electro-optic device that the actuation circuit where the switching element which has the semi-conductor layer which consists of single-crystal-silicon film which drives this display pixel at least has been arranged has been arranged (a) The process which forms the single-crystal-silicon film on said substrate, and the process which forms a mask on said single-crystal-silicon film corresponding to the (b) aforementioned actuation circuit, (c) The process which forms the field which poured in and formed silicon ion into the un-single crystal on said single-crystal-silicon film through said mask, (d) The process which forms into polish recon the field where said silicon ion was poured in, (e) Patterning of the field where said silicon ion was poured in, and the field where silicon ion is not poured in is carried out, and it is characterized by providing the process which forms the semi-conductor layer which consists of a semi-conductor layer which consists of said polish recon film, respectively, and said single-crystal-silicon film.

[0006] According to such a configuration of this invention, it has the effectiveness that the silicon film of different membraneous quality called the good polish recon film and single-crystal-silicon film of membraneous quality can be easily formed on the same substrate. That is, since the silicon layer of membraneous quality which is different by changing nuclear magnitude with the technique currently indicated in the above-mentioned open official report had been obtained, control of growth of the lengthwise direction at the time of making it grow up from a nucleus and a longitudinal direction was difficult, the thickness of a silicon layer and control of magnitude were difficult, and control of the magnitude of the nucleus for changing membraneous quality further was difficult. On the other hand, since the single-crystal-silicon film is first formed all over a substrate in this invention, the thickness homogeneity within a field is good. Furthermore, since the approach of pouring silicon ion into the single-crystal-silicon film, and forming this into polish recon by carrying out heating or laser annealing processing as the approach of the formation of polish recon of the single-crystal-silicon film in this invention is adopted and it is determined whether to become the polish recon film by the existence of impregnation of silicon ion or become the single-crystal-silicon film, the silicon film of different membraneous quality on the same substrate can be formed easily.

[0007] Moreover, in the aforementioned (d) process, the field where said silicon ion was poured in is characterized by forming polish recon by being heat-treated. Thus, the formation of polish recon is possible by heat-treating. What is necessary is just to perform heating at the time of forming polish recon in about 600-700 degrees C.

[0008] moreover, after the (aforementioned c) process -- it is -- before the (aforementioned d) process -- (f) -- the process which removes said mask is provided further and it is characterized by carrying out crystal growth of the non-single-crystal-silicon film of the field where said mask is not covered with said heat-treatment in the aforementioned (d) process. By considering as such a configuration, heat-treatment can perform simultaneously the formation of polish recon of the silicon film in a display pixel field, and the process of the single-crystal-silicon film in an actuation circuit field.

[0009] Moreover, the aforementioned (a) process is characterized by providing the process which forms said single-crystal-silicon film on said substrate by heat-treating the process which sticks the single crystal silicon substrate into which the (g) hydrogen ion was injected on said substrate, and said substrate (h) Stuck and said single crystal silicon substrate. Thus, the single-crystal-silicon film can be formed on a substrate using the SOI (Silicon on Insulator) substrate with which the hydrogen ion was injected into the single crystal silicon substrate, thickness is uniform in a substrate side and the single-

crystal-silicon film excellent in surface smoothness can be formed.

[0010] Moreover, it is characterized by providing further the process which is after the (aforementioned a) process and forms an oxide film on the (i) aforementioned single-crystal-silicon film front face before the (aforementioned c) process. Since it will be in the condition that the oxide film was formed in the front face of the single-crystal-silicon film before impregnation of silicon ion according to such a configuration, the front face of the single-crystal-silicon film is protected by the oxide film, and has the effectiveness that the dry area of the silicon film front face by impregnation of silicon ion can be prevented. The semi-conductor layer which consists of good polish recon of surface surface smoothness thereby further can be obtained, and the switching element of high quality can be obtained.

[0011] Moreover, the aforementioned (i) process is after the (aforementioned b) process, and is performed before the (aforementioned c) process, and it is characterized by said oxide film oxidizing and coming to form said single-crystal-silicon film front face. Since the scaling film is formed after forming a mask by considering as such a configuration, a mask turns into a mask at the time of oxide-film formation, and an oxide film can be efficiently formed only in the single-crystal-silicon film front face corresponding to a display pixel field. Furthermore, since this oxide film oxidizes and a single-crystal-silicon film front face is formed, the thickness of the silicon film in a display pixel becomes thinner than the thickness of the silicon film in an actuation circuit. Thereby, in a display pixel, the semi-conductor layer which consists of thin polish recon of thickness is formed, and the semi-conductor layer which consists of thick single crystal silicon of thickness is formed in an actuation circuit. In a display pixel, since generating of the optical leak in the channel field of the semi-conductor layer by this optical incidence is reduced when incidence of the light is carried out to an electro-optic device by being thin, for example, making preferably 30-70nm of thickness of a semi-conductor layer into 30-50nm thickness, the switching element which has this semi-conductor does not malfunction. Drain pressure resistance can be raised by being thick, for example, on the other hand, making thickness of a semi-conductor layer into 80-200nm thickness in an actuation circuit. In order to prevent lowering of the component pressure-proofing by generating of parasitism BAIPORA since component capacity is very high when using a SOI substrate especially, it is desirable it to be more desirable to thicken thickness of a semi-conductor layer, for example, to make 50-200nm into the thickness of 100-160nm still more preferably because of reduction of contact resistance.

[0012] Moreover, it is characterized by providing further the process which removes the (j) aforementioned oxide film before the (aforementioned d) process. Since an oxide film is removed before the silicon film is formed into polish recon by considering as such a configuration, it can prevent that a silicon film front face is ruined with the hydrofluoric acid used in case an oxide film is removed. Here, as timing of clearance of an oxide film, two case before polish recon is formed after polish recon was formed can be considered. After polish recon is formed, in the case where an oxide film is removed, the etching reagent used for clearance of an oxide film will be able to delete the grain boundary of the polish recon film, and a polish recon film front face will be ruined. On the other hand, in the case where an oxide film is removed before polish recon is formed, a single-crystal-silicon film front face is not ruined with the etching reagent used for clearance of an oxide film. Therefore, it is desirable to remove an oxide film in front of a polish recon chemically-modified degree.

[0013] Moreover, it is characterized by said mask consisting of a nitride. By considering as such a configuration, the dry area of the silicon film front face by the etching reagent used for mask clearance can be prevented. As an etching reagent used for clearance of a nitride, for example, a silicon nitride film etc., there is heat phosphoric acid and this does not damage a silicon film front face. On the other hand, although the resist film which consists of organic film as a mask can also be used, in the case where the resist film is used, the etching reagent used for resist film clearance tends to damage a silicon film front face. Therefore, it is desirable preferably to use a nitride as a mask.

[0014] The electro-optic device of this invention is characterized by being manufactured by the manufacture approach of an above-mentioned electro-optic device. According to such a configuration,

the semi-conductor layer of the switching element arranged to a display pixel field is formed from polish recon, and the semi-conductor layer of the switching element arranged to an actuation circuit field is formed from single crystal silicon. Therefore, in display pixel *****, life time of the carrier accumulated in the channel field of a semi-conductor layer can be shortened, and actuation capacity can be highly maintained in an actuation circuit field. Furthermore, since the thickness homogeneity of the semi-conductor layer in the field of a display pixel field and each actuation circuit field is high, two or more switching elements by which the property was stabilized in the field can be obtained, and the electro-optic device of high quality can be obtained.

[0015]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing.

[0016] (Electro-optic device in the first operation gestalt) The structure of the liquid crystal equipment as an electro-optic device in the first operation gestalt is explained using drawing 3 from drawing 1 R> 1. Drawing 1 is drawing showing equal circuits, such as various components in two or more pixels formed in the shape of [which constitutes the display pixel of liquid crystal equipment] a matrix, and wiring, and an actuation circuit field. Moreover, drawing 2 is a top view of two or more pixel groups where the TFT array substrate with which the data line in a display pixel, the scanning line, the pixel electrode, the light-shielding film, etc. were formed adjoins each other, and drawing 3 is the A-A' sectional view of drawing 2 , and the sectional view of an actuation circuit field. In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, contraction scales are made to have differed for each class or every each part material in each drawing.

[0017] In drawing 1 , liquid crystal equipment 200 consists of actuation circuit fields where the display pixel field where the display pixel which has scanning-line 3a which comes to cross mutually, and data-line 6a has been arranged, the scanning-line actuation circuit 104 for supplying a driving signal to these scanning-lines 3a and data-line 6a, respectively, and the actuation circuit of data-line actuation circuit 101 grade have been arranged.

[0018] A display pixel field consists of pixel electrode 9a arranged in the shape of a matrix for every intersection of capacity line 3b and scanning-line 3a which have been arranged at parallel, data-line 6a arranged by intersecting scanning-line 3a, and these scanning-lines 3a and data-line 6a, and a thin film transistor (TFT is called hereafter) 30 as the 1st switching element for controlling pixel electrode 9a. The source of TFT30 was electrically connected to data-line 6a to which a picture signal is supplied, and the gate of TFT30 has connected with scanning-line 3a to which a scan signal is supplied electrically. It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, --, Sn supplied from data-line 6a in TFT30 which is a switching element when only a fixed period closes the switch to predetermined timing. Fixed period maintenance of the picture signals S1, S2, --, Sn of the predetermined level written in liquid crystal through pixel electrode 9a is carried out between the counterelectrodes (it mentions later) formed in the opposite substrate (it mentions later).

[0019] On the other hand, an actuation circuit field consists of the scanning-line actuation circuit 104, the data-line actuation circuit 101, a sampling circuit 301, and a precharge circuit 201. The scanning-line actuation circuit 104 impresses the scan signals G1, G2, --, Gm to scanning-line 3a by line sequential in pulse to predetermined timing based on the power source supplied from an external-control circuit, a reference clock CLY, its reversal clock, etc. Based on the power source supplied from an external-control circuit, a reference clock CLX, its reversal clock, etc., according to the timing which impresses the scan signals G1, G2, --, Gm, the transfer signals X1, X2, --, Xn from the shift register as a sampling circuit driving signal are data-line 6 minded [every], and the scanning-line actuation circuit 104 minds [301] the sampling circuit actuation signal line 306, and supplies the data-line actuation circuit 101 to predetermined timing. As a switching element, each data-line 6a of every is equipped with TFT202, the precharge signal line 204 is connected to the drain or source electrode of TFT202, and, as

for the precharge circuit 201, the precharge circuit actuation signal line 206 is connected to the gate electrode of TFT202.

[0020] TFT for actuation circuits as the 2nd switching element arranged all over an actuation circuit field is formed at the same process on the same substrate as TFT30 arranged all over a display pixel field.

[0021] Although mentioned later, a liquid crystal layer pinches liquid crystal equipment between an opposite substrate and a TFT array substrate, it is constituted, and the TFT array substrate is constituted as follows. That is, as shown in drawing 2, in the TFT array substrate 10, two or more transparent pixel electrode 9a is prepared in the shape of a matrix on the glass substrate 60, and data-line 6a, scanning-line 3a, and capacity line 3b are prepared respectively along the boundary of pixel electrode 9a in every direction. Data-line 6a is formed in the configuration extended to the lengthwise direction, and a part of data-line 6a is electrically connected to the below-mentioned source field among semi-conductor layer 1a (field surrounded by the dotted line with wide width of face) which consists of polish recon through a contact hole 5. moreover, a part of pixel electrode 9a (dotted-line 9a with narrow width of face -- ' -- the surrounded field) is electrically connected to the below-mentioned drain field among semi-conductor layer 1a through the contact hole 8. Moreover, scanning-line 3a is arranged so that a part may counter channel field 1a' (field in which the slash whose lower right is ** was formed) among semi-conductor layer 1a, and a part of scanning-line 3a functions as a gate electrode. Capacity line 3b has the main track section mostly extended in the shape of a straight line to parallel along with scanning-line 3a, and the lobe which projected along with data-line 6a from the part which intersects data-line 6a, and 1f of electrodes for capacity which are a part of semi-conductor layer 1 is arranged almost corresponding to this lobe. 1st light-shielding film 11a looks at TFT which includes the channel field of semi-conductor layer 1a in a display pixel field from a TFT array substrate side, and is prepared in the wrap location. Furthermore, it has the lobe which projected in the stage side (namely, drawing Nakashita sense) which adjoins the main track section which counters the main track section of capacity line 3b, and is extended in the shape of a straight line along with scanning-line 3a along with data-line 6a from the part which intersects data-line 6a. The head of the downward lobe in each stage (pixel line) of 1st light-shielding film 11a is piled up in the bottom of data-line 6a with the head of the upward lobe of capacity line 3b in the next step. The contact hole 13 which carries out electrical installation of 1st light-shielding film 11a and the capacity line 3b mutually is established in this overlapping part. That is, with the gestalt of this operation, electrical installation of the 1st light-shielding film 11a is carried out to capacity line 3b of the preceding paragraph or the latter part by the contact hole 13. Moreover, the lobe and 1f of electrodes for capacity of capacity line 3b form storage capacitance by using as a dielectric layer the gate dielectric film 2 mentioned later.

[0022] As shown in drawing 3, liquid crystal equipment 200 pinches the liquid crystal layer 50 between the opposite substrate 20 and the TFT array substrate 10, and is constituted between.

[0023] The substrate film 12 which light-shielding film 11a is arranged, for example on the quartz substrate 110, and the TFT array substrate 10 covers this light-shielding film 11a in a display pixel field, and consists of silicon oxide is arranged. On the substrate film 12, semi-conductor layer 1a which consists of polish recon is arranged. That part serves as 1f of electrodes for capacity, and semi-conductor layer 1a connects with 1f of this electrode for capacity, and has the semi-conductor layer which consists of LDD structure. The semi-conductor layer which consists of this LDD (lightly doped drain) structure has the structure where low concentration source field 1b and low concentration drain field 1c have been arranged on both sides of channel field 1a' at both sides, and 1d of high concentration source fields and high concentration drain field 1e have been arranged across these fields at both sides.

[0024] On semi-conductor layer 1a, the gate dielectric film 2 with which a part consists of silicon oxide film which functions also as a dielectric film for storage capacitance formation is formed. On gate dielectric film 2, scanning-line 3a and capacity line 3b which consist of polish recon are formed. A part of scanning-line 3a serves as the gate electrode, and a gate electrode is arranged corresponding to

channel field 1a'. The 1st interlayer insulation film 4 is formed on semi-conductor layer 1a containing these scanning-lines 3a and capacity line 3b, and data-line 6a which consists of aluminum is formed on this 1st interlayer insulation film 4. Data-line 6a is electrically connected to 1d of high concentration source fields through the contact hole 5 formed in the 1st interlayer insulation film 4. Furthermore, the 2nd interlayer insulation film 7 is formed on the 1st interlayer insulation film 4 containing data-line 6a. On the 2nd interlayer insulation film 7, pixel electrode 9a which consists of ITO (Indium Tin Oxide) film is formed, and this pixel electrode 9a is electrically connected to high concentration drain field 1e through the contact hole 8 formed in the 1st interlayer insulation film 4 and the 2nd interlayer insulation film 7. And the orientation film 16 with which orientation processing is carried out and the polyimide film is formed on the 2nd interlayer insulation film 7 containing pixel electrode 9a is arranged.

[0025] Moreover, complementary transistor structure etc. is adopted in the actuation circuit field of the TFT array substrate 10. As shown in drawing 3, complementary transistor structure has the N channel mold TFT407 and the P channel mold TFT408. As shown in drawing 3, the response **** semi-conductor layer 401 and the semi-conductor layer 402 of a P channel mold are arranged at an N channel mold on the substrate layer 12 arranged on a glass substrate 110, and gate dielectric film 2 is arranged so that these may be covered. The semi-conductor layers 401 and 402 consist of single crystal silicon. On both sides of channel field 401a, source field 401b and drain field 401c are arranged at both sides, and, as for the semi-conductor layer 401, as for the semi-conductor 402, source field 402b and drain field 402c have arranged structure on both sides of channel field 402a at both sides. The gate electrodes 403 and 404 are arranged in the location equivalent to each channel field 401a and 402a of the semi-conductor layers 401 and 402 at the gate-dielectric-film 2 top. Furthermore, the gate electrodes 403 and 404 are covered, the 1st interlayer insulation film 4 is arranged, and the source electrodes 405a and 406a and the drain electrodes 405b and 406b are arranged on the 1st interlayer insulation film 4. Source electrode 405a and drain electrode 405b are electrically connected with source field 401b and drain field 401c through the contact holes 420a and 420b formed in the 1st interlayer insulation film, respectively. Moreover, source electrode 406a and drain electrode 406b are electrically connected with source field 402b and drain field 402c through the contact holes 421a and 421b formed in the 1st interlayer insulation film, respectively. On the 1st interlayer insulation film 4 which furthermore contains the source electrodes 405a and 406a and the drain electrodes 405b and 406b, the laminating of the 2nd interlayer insulation film 7 and the orientation film 16 is carried out one by one.

[0026] On the other hand, on a glass substrate 120, orientation processing is carried out, the counterelectrode 21 and polyimide film which consist of a light-shielding film 23 formed in the shape of a matrix and ITO film by which covered this and sequential formation was carried out are formed, and the opposite substrate 20 consists of slack orientation film 22. In drawing 3, although it is in the condition that only the orientation film 16 was formed in the actuation circuit field, there is especially no regulation about the film formed in an actuation circuit field that a counterelectrode 21 and the orientation film should just be formed in the display pixel field at least.

[0027] Next, the manufacture approach of a TFT array substrate is explained using drawing 4 - drawing 8. In addition, it is process drawing which drawing 8 makes the sectional view of each class in the display pixel field and actuation circuit field by the side of a TFT array substrate correspond to drawing 3 from drawing 4, and is shown.

[0028] As shown in the process (1) of drawing 4, the quartz substrate 110 is prepared first. Here, preferably, about 850-1300 degrees C is pretreated so that distortion produced in the TFT array substrate 10 in inert gas ambient atmospheres, such as N₂ (nitrogen), and the elevated-temperature process which carries out annealing treatment at a 1000-degree C elevated temperature, and is carried out behind may decrease. That is, according to the temperature by which high temperature processing is carried out at the maximum elevated temperature in a manufacture process, the quartz substrate 110 is heat-treated at the same temperature or the temperature beyond it in advance.

[0029] Thus, all over the processed quartz substrate 110, the light-shielding film 11 of about 200nm

thickness is formed for metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pb, by the spatter about 100–500nm thickness and here.

[0030] Next, as shown in a process (2), the resist film 500 corresponding to the pattern (refer to drawing 6) of 1st light-shielding film 11a is formed by the photolithography.

[0031] Next, as shown in a process (3), by etching to the protection-from-light layer 11 through the resist film 500, protection-from-light layer 11a is formed, and the resist film 500 is removed.

[0032] Next, as shown in a process (4), the substrate film 12 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. using TEOS (tetrapod ethyl orthochromatic silicate) gas, TEB (tetrapod ethyl boat rate) gas, TMOP (tetrapod methyl oxy-FOSU rate) gas, etc. with ordinary pressure or a reduced pressure CVD method is formed on this 1st light-shielding film 11a. The thickness of this substrate film 12 may be about 400–1200nm. Here, it may be about 1100nm.

[0033] Next, as shown in a process (5), the front face of the substrate film 12 is ground globally, and carries out flattening. If it considers as the technique of flattening by polish, the CMP (chemical mechanical polishing) method can be used, for example. Thereby, thickness of the substrate film 12 was set to about 600nm.

[0034] Next, as shown in a process (6), lamination of a substrate 110 and single crystal silicon substrate 210a is performed.

[0035] Those with 600 micrometers in thickness and about 200nm of its front face oxidize beforehand 50–800nm and here, and, as for single crystal silicon substrate 210a used for lamination, oxide-film 210b is formed. This is for forming the interface of the single-crystal-silicon layer 210 formed after lamination, and oxide-film layer 210b by thermal oxidation, and securing the good interface of an electrical property. Furthermore, the hydrogen ion (H^+) is poured into single crystal silicon substrate 210a in for example, acceleration voltage 100keV and dose $10 \times 10^{16} \text{cm}^{-2}$, and the impregnation depth has become about 300nm from the substrate front face. By a diagram, it is in the condition that the hydrogen ion was poured into the field below a dotted line among single crystal silicon substrate 210a.

[0036] In lamination, it is stuck so that oxide-film 210b of single crystal silicon substrate 210a may touch the substrate film 12 on a substrate 110. The approach of sticking two substrates directly by heat treatment of 2 hours at 300 degrees C can be used for a lamination process.

[0037] Next, heat treatment for exfoliating single crystal silicon substrate 210a from a substrate 10 is performed, leaving oxide-film 210b by the side of the lamination side of stuck single crystal silicon substrate 210a, and the single-crystal-silicon film 210, as shown in a process (7). Since association of silicon is divided in the layer which is near the front face of a single crystal silicon substrate by the hydrogen ion introduced into the single crystal silicon substrate, the exfoliation phenomenon of this substrate is produced. For example, it can carry out by heating two stuck substrates to 600 degrees C with the programming rate of 20 degrees C/m. Of this heat treatment, stuck single crystal silicon substrate 210a dissociates with a substrate 10, and silicon oxide-film 210b of about 200nm thickness and the single-crystal-silicon film 210 of about 70nm thickness are formed in substrate 10 front face. In addition, the single-crystal-silicon film 210 stuck on a substrate 10 can be formed by the thickness of arbitration to 50nm – 3000nm by changing the acceleration voltage of the hydrogen ion impregnation performed to single crystal silicon substrate 210a described above. Then, touch polishing of the single-crystal-silicon film 210 front face is carried out, and it is graduated. The thickness of the single-crystal-silicon film had desirable 50–200nm, and it set it to 55nm in this operation gestalt.

[0038] Smart which separates after lamination the single crystal silicon substrate which poured in the hydrogen ion by heat treatment with this operation gestalt Uni which forms the single-crystal-silicon film on a substrate using the Cut method Since the bond method is used, it can cross all over a substrate and the high single-crystal-silicon film of thickness homogeneity can be obtained.

[0039] in addition, the single crystal silicon substrate which does not pour in a hydrogen ion as technique for obtaining the single-crystal-silicon film -- a substrate -- PACE (Plasma Assisted

Chemical Etching) lamination and after heat-treating and sticking -- the thickness of the silicon layer 206 may be etched and formed to about 0.05–0.8 micrometers by law. As for the single-crystal-silicon film, less than 10% of thing is obtained by this PACE processing by 100nm of thickness, as for the thickness homogeneity of pair *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne.

[0040] moreover, ELTRAN (Epitaxial Layer Transfer) which imprints the epitaxial silicon layer formed on porosity silicon on a lamination substrate by the selective etching of a porosity silicon layer as other technique for obtaining the single-crystal-silicon film -- law can also be used and it is not dependent on the membrane formation approach.

[0041] Next, after forming a silicon nitride film by the thickness of 200nm on the single-crystal-silicon film 210, as shown in a process (8), etching removes the silicon nitride film formed all over the display pixel field so that the mask 211 which consists of a silicon nitride film may remain only in an actuation circuit field. Although the organic film can also be used as a mask here in addition to inorganic film called a silicon nitride film, in case a mask is removed in the case where the organic film is used as a mask, it is desirable to use the inorganic film by inorganic film called a silicon nitride film to the ability for a resist to solidify and not exfoliate by impregnation of the silicon mentioned later, since there are no above problems.

[0042] Next, as shown in a process (8), silicon ion (Si^+) is poured in in the amount of $3 \times 10^{15} \text{cm}^{-2}$ with the acceleration voltage of 40keV through a mask 211. Thereby, in a display pixel field, film 210c in the condition that association of silicon went out is formed. On the other hand, it becomes being the single-crystal-silicon film 210 with which silicon ion is not poured in in the actuation circuit field with as.

[0043] Next, as shown in a process (9), a mask 211 is exfoliated with heat phosphoric acid. Then, in nitrogen-gas-atmosphere mind, under the temperature of 600–700 degrees C, it heats under the temperature of 640 degrees C for 6 hours, and solid phase growth of the non-single-crystal-silicon film is performed here. In a display pixel field, non-single-crystal-silicon film 210c is formed into polish recon by this process, and 210d of polish recon film is formed of it. On the other hand, in an actuation circuit field, it becomes the configuration that single-crystal-silicon film 210e was formed. Here, laser annealing may be used as a means of the formation of polish recon, and solid phase growth.

[0044] Next, as shown in the process (10) of drawing 5, 1f of electrodes for capacity installed by the photolithography process, the etching process, etc. in the display pixel field from semi-conductor layer 1a of the **** predetermined pattern shown in drawing 2 and drawing 3 and semi-conductor layer 1a is formed. In an actuation circuit field, the semi-conductor layers 401 and 402 are formed.

[0045] In this operation gestalt, although patterning of the silicon film is carried out after the silicon ion implantation, after carrying out patterning of the silicon film, where the mask of the actuation circuit field is carried out, silicon ion can also be poured in.

[0046] Next, semi-conductor layer 1a which constitutes TFT30 for pixel switching in a display pixel field as shown in a process (11), The semi-conductor layer 402 which constitutes the semi-conductor layer 401 and P type TFT which constitute 1f of electrodes for capacity, and N type TFT in an actuation circuit field the temperature of about 850–1300 degrees C, and by oxidizing thermally about 30 minutes at the temperature of about 1000 degrees C preferably The thermal oxidation silicon film with a comparatively thin thickness of about 30nm is formed. Furthermore, the high-temperature-oxidation silicon film (HTO) film is formed with a reduced pressure CVD method etc. by the thickness of 30–50nm, and the gate dielectric film 2 which consists of a bilayer of the thermal oxidation silicon film and the HTO film is formed. Consequently, in the thickness of the semi-conductor layers 1a, 401, and 402 and the 1f of the 1st storage capacitance electrodes, the thickness of about 40nm and the thickness of gate dielectric film 2 turn into thickness of about 60–80nm.

[0047] Next, as shown in a process (12), in order to form into low resistance the 1f of the 1st storage capacitance electrodes which install semi-conductor layer 1a and become, The resist film 501 is formed in the part corresponding to scanning-line 3a (gate electrode) of the front face of a substrate 10, and P ion is doped with the acceleration voltage of 70keV(s), and the dose of $3 \times 10^{14} / \text{cm}^2$ from on the by making

this into a mask the dopant of V group elements, such as P, and here.

[0048] next, the contact hole 13 which removes the resist film 501 and results in the substrate film 12 at light-shielding film 11a as shown in a process (13) -- dry etching, such as reactive ion etching and reactant ion beam etching, -- or it forms by wet etching. Under the present circumstances, there is an advantage that the direction which punctured the contact hole 13 grade can make a puncturing configuration almost the same as mask shape by anisotropic etching like reactive ion etching and reactant ion beam etching. However, if it punctures combining dry etching and wet etching, since these contact hole 13 grades will be made in the shape of a taper, the advantage that the open circuit at the time of wiring connection can be prevented is acquired.

[0049] Next, thermal diffusion of the process (Lynn (P as shown in 14), after depositing the polish recon film 3 by the thickness of about 350nm with a reduced pressure CVD method etc.) is carried out, and the polish recon film 3 is electric-conduction-ized. Or the doped silicon film which introduced P ion into membrane formation and coincidence of the polish recon film 3 may be used. Thereby, the conductivity of the polish recon film 3 can be raised.

[0050] Next, as shown in a process (15), capacity line 3b is formed according to the photolithography process using the resist film, an etching process, etc. with scanning-line 3a of the **** predetermined pattern shown in drawing 2 .

[0051] Next, as shown in a process (16), the resist film 502 is formed all over the substrate except the semi-conductor layer 402 used as P channel TFT of an actuation circuit field. Then, BF₂ ion is doped with the acceleration voltage of 90keV(s), and the dose of $2 \times 10^{15} \text{cm}^{-2}$ in the semi-conductor layer 402 the dopant of III group elements, such as B, and here by using this resist film 502 and the gate electrode 404 as a mask. Thereby, source field 402b and drain field 402c corresponding to P channel TFT in an actuation circuit field are formed. The resist film 502 is removed after a dope.

[0052] Next, as shown in a process (17), the resist film 503 is formed so that the semi-conductor layer 402 used as P channel TFT of an actuation circuit field may be covered. Then, P ion is doped with the acceleration voltage of 70keV(s), and the dose of $6 \times 10^{12} \text{cm}^{-2}$ the dopant of V group elements, such as P, and here to the semi-conductor layer 401 and semi-conductor layer 1a by using the resist film 503 and scanning-line (gate electrode) 3a, and capacity line 3b as a mask. Thereby in semi-conductor layer 1a of TFT of a display pixel field, low concentration source field 1b and low concentration drain field 1c are formed. Moreover, in an actuation circuit field, source field 401b and drain field 401c corresponding to N channel TFT are formed. The resist film 503 is removed after a dope.

[0053] Then, as shown in a process (18), width of face forms the resist film 504 which has a large configuration and has a wrap configuration for the semi-conductor layer 402 of P channel TFT in an actuation circuit field further rather than gate electrode 3a. Then, P ion is doped with the acceleration voltage of 70keV(s), and the dose of $4 \times 10^{15} / \text{cm}^{-2}$ the dopant of V group elements, such as P, and here in semi-conductor layer 1a and the semi-conductor layer 401 by using the resist film 504 and the gate electrode 403 as a mask. Thereby, in TFT of a display pixel field, 1d of high concentration source fields and high concentration drain field 1e are formed. Moreover, in the N channel mold TFT of an actuation circuit field, source field 401b and drain field 401c which were further formed into low resistance are obtained. The resist film 504 is removed after a dope.

[0054] Next, as shown in a process (19), the 1st interlayer insulation film 4 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. so that capacity line 3b and scanning-line 3a may be covered with scanning-line 3a in TFT30 for pixel switching. The thickness of the 1st interlayer insulation film 4 has desirable about 500-1500nm, and its 800 morenm is more desirable.

[0055] Then, in order to activate the impurity ion doped by the semi-conductor layer, about 850-degree C annealing treatment is performed about 20 minutes.

[0056] Next, as shown in a process (20), in a display pixel field, in an actuation circuit field, the 1st

interlayer insulation film 4 is etched by dry etching or wet etching, such as reactive ion etching and reactant ion beam etching, and the contact holes 420a, 421a, 420b, and 421b corresponding to each of the source electrodes 405a and 406a and the drain electrodes 405b and 406b for the contact hole 5 to data-line 6a are formed.

[0057] Next, as shown in the process (21) of drawing 7, it deposits preferably in about 100–700nm thickness by sputter processing etc. on the 1st interlayer insulation film 4 at about 350nm by making low resistance metal metallurgy group silicide, such as aluminum of protection-from-light nature, etc. into a metal membrane 6.

[0058] Next, as patterning of the metal membrane 6 is carried out according to a photolithography process, an etching process, etc. and it is shown in a process (22), data-line 6a, the source electrodes 405a and 406a, and the drain electrodes 405b and 406b are formed.

[0059] Next, as shown in a process (23), the 2nd interlayer insulation film 7 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. on the 1st interlayer insulation film 4 containing data-line 6a, the source electrodes 405a and 406a, and the drain electrodes 405b and 406b. The thickness of the 2nd interlayer insulation film 7 has desirable about 500–1500nm, and its 800 nm is more desirable.

[0060] Next, as shown in the process (24) of drawing 8, in TFT30 for pixel switching, the contact hole 8 for carrying out electrical installation of pixel electrode 9a and the high concentration drain field 1e is formed by dry etching, such as reactive ion etching and reactant ion beam etching.

[0061] Next, on the 2nd interlayer insulation film 7, as shown in a process (25), as the transparent conductive thin films 9, such as ITO film, are deposited on the thickness of about 50–200nm and are further shown in a process (26) by sputter processing etc., pixel electrode 9a is formed according to a photolithography process, an etching process, etc.

[0062] Then, after applying the coating liquid of the orientation film of a polyimide system on pixel electrode 9a, the orientation film 16 (refer to drawing 3) is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0063] On the other hand, about the opposite substrate 20 shown in drawing 7, glass substrate 120 grade is prepared first. On this glass substrate 120, after carrying out the sputter of the chromium metal, the matrix-like light-shielding film 23 is formed through a photolithography process and an etching process. In addition, this light-shielding film 23 may form others, carbon, and Ti, such as Cr, nickel, and aluminum, from ingredients, such as resin black distributed to the photoresist. [metallic material]

[0064] Then, a counterelectrode 21 is formed by sputter processing etc. all over a substrate 120 by depositing transparent conductive thin films, such as ITO, on the thickness of about 50–200nm. Furthermore, after applying the coating liquid of the orientation film of a polyimide system all over a counterelectrode 21, the orientation film 22 (refer to drawing 3) is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0065] Finally, the TFT array substrate 10 and the opposite substrate 20 with which each class was formed as mentioned above are stuck by the sealant which is not illustrated so that the orientation film 16 and 22 may meet, the liquid crystal which comes to mix two or more kinds of pneumatic liquid crystals is attracted by vacuum attraction etc., and the liquid crystal layer 50 of predetermined thickness is formed in the space between both substrates of it.

[0066] (Electro-optic device in the second operation gestalt) Next, the liquid crystal equipment in the second operation gestalt is explained. Only the point that the manufacture approach of a TFT array substrate is different unlike the first operation gestalt in part is explained below, and omits explanation about the same structure and the manufacture approach.

[0067] Unlike the first operation gestalt, by the manufacture approach of the TFT array substrate in the second operation gestalt, it explains using drawing 12 in that silicon ion is poured in where an oxide film is formed in the single-crystal-silicon film front face corresponding to a display pixel field.

[0068] First, light-shielding film 11a, the substrate film 12, oxide-film 210b, and the single-crystal-silicon film 210 form the substrate by which sequential formation was carried out on a substrate 110 through the same process as the drawing 4 (1) - (7) process of having explained with the first operation gestalt. Here, thickness of the single-crystal-silicon film was set to 67nm.

[0069] Next, as shown in the drawing 12 (1) process, after forming a silicon nitride film by the thickness of 200nm on the single-crystal-silicon film 210, etching removes the silicon nitride film formed all over the display pixel field so that the mask 211 which consists of a silicon nitride film may remain only in an actuation circuit field.

[0070] Next, as shown in the drawing 12 (2) process, scaling of the front face of the single-crystal-silicon film 210 corresponding to a display pixel field is carried out, and the oxide film 600 of about 24nm thickness is formed. Under the present circumstances, the thickness of the single-crystal-silicon film is about 40nm. Then, silicon ion is poured into the single-crystal-silicon film 210 in the amount of $3 \times 10^{15} \text{cm}^{-2}$ with the acceleration voltage of 60keV(s) through an oxide film 600 and a mask 211. Here, since the mask 211 is formed by the nitride, silicon ion is not poured in into the single-crystal-silicon film 210. Moreover, silicon ion passes an oxide film 600 and silicon ion is poured in into the single-crystal-silicon film 210. Here, an oxide film 600 functions as a protective coat of film 210c, and prevents the dry area of the film 210c front face by impregnation of silicon ion. Then, heat phosphoric acid removes a nitride 211. Furthermore, hydrofluoric acid removes an oxide film 600. In addition, although the process which removes an oxide film may be established after a polish recon chemically-modified [which is explained below] degree, it is desirable to establish the process which removes an oxide film before the formation of polish recon. This is for a polish recon film front face to be ruined with the hydrofluoric acid used for exfoliation, when an oxide film is exfoliated, where polish recon is formed.

[0071] Next, in nitrogen-gas-atmosphere mind, it heats under the temperature of 640 degrees C for 6 hours, and solid phase growth of the non-single-crystal-silicon film is performed. In a display pixel field, film 210c is formed into polish recon by this process, and the polish recon film is formed of it. On the other hand, in an actuation circuit field, it becomes the configuration that the single-crystal-silicon film 210 was formed. Then, wet etching removes an oxide film 600.

[0072] At a next process, the same processing as the process indicated by the drawing 5 (10) process of the first operation gestalt - the drawing 8 (26) process is performed.

[0073] In the 2nd operation gestalt, since silicon ion is poured into the single-crystal-silicon film through an oxide film 600, the dry area of a single-crystal-silicon film front face can be prevented, and quality semi-conductor layer 1a can be obtained.

[0074] (Electro-optic device in the third operation gestalt) Next, the liquid crystal equipment in the third operation gestalt is explained. It sets in the first operation gestalt and structures differ at the point that the thickness of semi-conductor layer 1a corresponding to TFT for a pixel switch in a display pixel field is thinner than the thickness of the semi-conductor layers 401 and 402 of TFT in an actuation circuit field. And in order to change the thickness of the semi-conductor layer arranged to such a display pixel field and each actuation circuit field, the manufacture approach of the third operation gestalt differs from the manufacture approach of the first operation gestalt in part. Below only a different part from the manufacture approach of the first operation gestalt is explained, and explanation is omitted about the same manufacture approach.

[0075] By the manufacture approach of the TFT array substrate in the third operation gestalt, it differs from the first operation gestalt in that the thickness of the semi-conductor layer arranged to a display pixel field and each actuation circuit field is changed by oxidizing the single-crystal-silicon film front face corresponding to a display pixel field, and forming the scaling film. Moreover, clearance of this scaling film is performed before a polish recon chemically-modified degree, and it explains hereafter using drawing 13 .

[0076] First, light-shielding film 11a, the substrate film 12, oxide-film 210b, and the single-crystal-silicon film 210 form the substrate by which sequential formation was carried out on a substrate 110 through

the same process as the drawing 4 (1) – (7) process of having explained with the first operation gestalt. [0077] Next, as shown in the drawing 13 (1) process, after forming a silicon nitride film by the thickness of 200nm on the single-crystal-silicon film 210, etching removes the silicon nitride film formed all over the display pixel field so that the mask 211 which consists of a silicon nitride film may remain only in an actuation circuit field.

[0078] Next, as shown in the drawing 13 (2) process, the front face of the single-crystal-silicon film 210 corresponding to a display pixel field is oxidized, and the oxide film 601 of about 280nm thickness is formed. Thereby, the remaining thickness of the silicon of a display pixel is set to 55nm.

[0079] Next, as shown in the drawing 13 (3) process, wet etching removes an oxide film 601. Thereby, in a display pixel field, the single-crystal-silicon film 210 whose thickness is about 40nm, and the single-crystal-silicon film 210 whose thickness is about 100nm in an actuation circuit field are formed. Then, silicon ion is poured into the single-crystal-silicon film 210 in the amount of $3 \times 10^{15} \text{cm}^{-2}$ with the acceleration voltage of 30keV(s) through a mask 211. Here, since the mask 211 is formed by the nitride, silicon ion is not poured in into the single-crystal-silicon film 210 of the field covered with the mask. Then, heat phosphoric acid removes a nitride 211.

[0080] Next, in nitrogen-gas-atmosphere mind, it heats under the temperature of 640 degrees C for 6 hours, and solid phase growth of the non-single-crystal-silicon film is performed. In a display pixel field, film 210c is formed into polish recon by this process, and the polish recon film of 55nm of thickness is formed of it. On the other hand, in an actuation circuit field, it becomes the configuration that the single-crystal-silicon film 210 was formed. With this operation gestalt, although polish recon-ization by heating is performed after clearance of an oxide film 601, an oxide film 601 may be removed after the formation of the polish recon by heating. However, it is better for the front face of the polish recon film to be ruined with the etching reagent used for oxide film clearance, and to perform polish recon-ization by heating after clearance of an oxide film 601 preferably, if an oxide film 601 is removed after the formation of polish recon.

[0081] At a next process, the same processing as the process indicated by the drawing 5 (10) process of the first operation gestalt – the drawing 8 (26) process is performed.

[0082] Since incidence of the light is carried out here when it considers as liquid crystal equipment in a display pixel field, in order to prevent generating of the optical leak in the channel field of the semi-conductor layer by this optical incidence, it is desirable to make for it to be still more desirable and comparatively as thin as 30–50nm 30–70nm of thickness of the semi-conductor layer which consists of polish recon. In order to raise drain pressure resistance in the semi-conductor layer which consists of single crystal silicon of TFT arranged to an actuation circuit field on the other hand, it is desirable to make 50–20nm of thickness of a semi-conductor layer for it to be still more desirable and comparatively as thick as 100–160nm. It is more desirable to thicken thickness of the semi-conductor in a circumference circuit field, since the component capacity of a circumference circuit field is very high in order to prevent lowering of the component pressure-proofing by generating of parasitism BAIPORA especially in the case of the manufacture approach using a SOI substrate, and in order to reduce contact resistance. In the 3rd operation gestalt, the drain pressure resistance in an actuation circuit field can be raised, solving the problem of the optical leak in a display pixel field, since the thickness of the semi-conductor layer which consists of polish recon corresponding to TFT arranged to a display pixel field serves as structure thinner than the thickness of the semi-conductor layer which consists of single crystal silicon corresponding to TFT in an actuation circuit field arranged.

[0083] (The whole liquid crystal equipment configuration) The whole gestalt configuration of each operation of the liquid crystal equipment constituted as mentioned above is explained with reference to drawing 9 and drawing 10. In addition, drawing 9 is the top view which looked at the TFT array substrate 10 from the opposite substrate 20 side with each component formed on it, and drawing 10 is a H-H' sectional view of drawing 9 shown including the opposite substrate 20.

[0084] In drawing 9, the sealant 52 is formed along the edge on the TFT array substrate 10. The data-

line actuation circuit 101 and the external circuit connection terminal 102 are formed in the field of the outside of a sealant 52 along with one side of the TFT array substrate 10, and the scanning-line actuation circuit 104 is established in it along with two sides which adjoin this one side. If the scan signal delay supplied to scanning-line 3a does not become a problem, the thing only with one side sufficient [the scanning-line actuation circuit 104] cannot be overemphasized. Moreover, the data-line actuation circuit 101 may be arranged on both sides along the side of a pixel viewing area. For example, data-line 6a of an odd number train supplies a picture signal from the data-line actuation circuit arranged along one side of a pixel viewing area, and you may make it the data line of an even number train supply a picture signal from the data-line actuation circuit arranged along the side of the opposite hand of said pixel viewing area. Thus, if it is made to drive data-line 6a in the shape of a ctenidium, since the occupancy area of a data-line actuation circuit is extensible, it becomes possible to constitute a complicated circuit. Furthermore, two or more wiring 105 for connecting between the scanning-line actuation circuits 104 established in the both sides of a pixel viewing area is formed in one side in which the TFT array substrate 10 remains, further, it may hide in the bottom of the 2nd light-shielding film 53 as circumference abandonment, and a precharge circuit may be prepared. Moreover, in at least one place of the corner section of the opposite substrate 20, the flow material 106 for taking an electric flow between the TFT array substrate 10 and the opposite substrate 20 is formed. And as shown in drawing 10, the opposite substrate 20 with the almost same profile as the sealant 52 shown in drawing 9 has fixed to the TFT array substrate 10 by the sealant 52 concerned.

[0085] (Configuration of electronic equipment) As an example of the electronic equipment using above liquid crystal equipment, the configuration of a projection mold display is explained with reference to drawing 11. In drawing 11, the projection mold display 1100 prepares three liquid crystal equipments mentioned above, and shows the outline block diagram of the optical system of the projection mold liquid crystal equipment used as liquid crystal equipments 962R, 962G, and 962B for RGB, respectively. The light equipment 920 mentioned above and the homogeneity illumination-light study system 923 are adopted as the optical system of the projection mold display of this example. And the color separation optical system 924 as a color separation means by which a projection mold display separates into red (R), green (G), and blue (B) the flux of light W by which outgoing radiation is carried out from this homogeneity illumination-light study system 923, Three light valves 925R, 925G, and 925B as a modulation means to modulate each colored light bundles R, G, and B, It has the color composition prism 910 as a color composition means to re-compound the colored light bundle after becoming irregular, and the projector lens unit 906 as a delivery system which carries out amplification projection of the compounded flux of light on the front face of a plane of incidence 100. Moreover, it also has the light guide system 927 which leads the blue glow bundle B to corresponding light valve 925B.

[0086] The homogeneity illumination-light study system 923 is equipped with two lens plates 921 and 922 and reflective mirrors 931, and is arranged at the condition that two lens plates 921 and 922 intersect perpendicularly on both sides of the reflective mirror 931. Two lens plates 921 and 922 of the homogeneity illumination-light study system 923 are equipped with two or more rectangle lenses arranged in the shape of a matrix, respectively. The flux of light by which outgoing radiation was carried out from light equipment 920 is divided into two or more partial flux of lights by the rectangle lens of the 1st lens plate 921. And these partial flux of lights are superimposed three light valves 925R and 925G and near 925B with the rectangle lens of the 2nd lens plate 922. Therefore, even when it has illuminance distribution with light equipment 920 uneven in the cross section of an outgoing beam by using the homogeneity illumination-light study system 923, it becomes possible to illuminate three light valves 925R, 925G, and 925B by the uniform illumination light.

[0087] Each color separation optical system 924 consists of a bluish green reflective dichroic mirror 941, a green reflective dichroic mirror 942, and a reflective mirror 943. First, in the bluish green reflective dichroic mirror 941, the blue glow bundle B included in the flux of light W and the green light bundle G are reflected by the right angle, and it goes to the green reflective dichroic mirror 942 side. This mirror

941 is passed, it is reflected by the right angle by the back reflective mirror 943, and outgoing radiation of the red flux of light R is carried out to the prism unit 910 side from the outgoing radiation section 944 of the red flux of light R.

[0088] Next, in the green reflective dichroic mirror 942, the green light bundle G is reflected by the right angle among the blue reflected in the bluish green reflective dichroic mirror 941, and the green light bundles B and G, and outgoing radiation is carried out to a color composition optical-system side from the outgoing radiation section 945 of the green light bundle G. Outgoing radiation of the blue glow bundle B which passed the green reflective dichroic mirror 942 is carried out to the light guide system 927 side from the outgoing radiation section 946 of the blue glow bundle B. In this example, it is set up so that the distance from the outgoing radiation section of the flux of light W of a homogeneity illumination-light study component to the outgoing radiation sections 944, 945, and 946 of each colored light bundle in the color separation optical system 924 may become almost equal.

[0089] Condenser lenses 951 and 952 are arranged at the outgoing radiation side of the red of the color separation optical system 924, and the outgoing radiation sections 944 and 945 of the green light bundles R and G, respectively. Therefore, incidence of the red and the green light bundles R and G which carried out outgoing radiation from each outgoing radiation section is carried out to these condenser lenses 951 and 952, and they are parallel-ized.

[0090] Thus, incidence of the red and the green light bundles R and G which were parallel-ized is carried out to light valves 925R and 925G, they are modulated, and the image information corresponding to each colored light is added. That is, according to image information, switching control of these liquid crystal equipments is carried out by the non-illustrated driving means, and, thereby, the modulation of each colored light which passes through this is performed. On the other hand, the blue glow bundle B is led to light valve 925B which corresponds through the light guide system 927, and a modulation is similarly performed in here according to image information. In addition, the light valves 925R, 925G, and 925B of this example are liquid crystal light valves which consist of the incidence side polarization means 960R, 960G, and 960B, outgoing radiation side polarization means 961R, 961G, and 961B, and liquid crystal equipments 962R, 962G, and 962B arranged among these further, respectively.

[0091] The light guide system 927 consists of a medium lens 973 arranged between the condenser lens 954 arranged to the outgoing radiation side of the outgoing radiation section 946 of the blue glow bundle B, the incidence side reflective mirror 971, the outgoing radiation side reflective mirrors 972, and these reflective mirrors, and a condenser lens 953 arranged to the near side of light valve 925B. From a condenser lens 946, through the light guide system 927, the blue glow bundle B by which outgoing radiation was carried out is led to liquid crystal equipment 962B, and is modulated. The blue glow bundle B becomes the longest, therefore the quantity of light loss of a blue glow bundle of distance from the optical path length of each colored light bundle, i.e., the outgoing radiation section of the flux of light W, to each liquid crystal equipments 962R, 962G, and 962B increases most. However, quantity of light loss can be controlled by making the light guide system 927 intervene.

[0092] Incidence of each colored light bundles R, G, and B modulated through each light valves 925R, 925G, and 925B is carried out to the color composition prism 910, and they are compounded here. And amplification projection is carried out on the front face of the plane of incidence 100 which has the light compounded by this color composition prism 910 in a position through the projector lens unit 906.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Various components, wiring, etc. which were prepared in two or more pixels of the shape of a matrix which constitutes the display pixel field in liquid crystal equipment are the representative circuit schematic of an actuation circuit field.

[Drawing 2] It is the top view of the display pixel field of a TFT array substrate in which the data line in liquid crystal equipment, the scanning line, a pixel electrode, TFT, etc. were formed.

[Drawing 3] It is the line A-A' sectional view of drawing 2 .

[Drawing 4] It is process drawing (the 1) showing the production process of the TFT array substrate of the liquid crystal equipment in the first operation gestalt later on in order.

[Drawing 5] It is process drawing (the 2) showing the production process of the TFT array substrate of the liquid crystal equipment in the first operation gestalt later on in order.

[Drawing 6] It is process drawing (the 3) showing the production process of the TFT array substrate of the liquid crystal equipment in the first operation gestalt later on in order.

[Drawing 7] It is process drawing (the 4) showing the production process of the TFT array substrate of the liquid crystal equipment in the first operation gestalt later on in order.

[Drawing 8] It is process drawing (the 5) showing the production process of the TFT array substrate of the liquid crystal equipment in the first operation gestalt later on in order.

[Drawing 9] It is the top view which looked at the TFT array substrate in the gestalt of each operation of liquid crystal equipment from the opposite substrate side with each component formed on it.

[Drawing 10] It is the H-H' sectional view of drawing 9 .

[Drawing 11] It is the block diagram of the projection mold display using liquid crystal equipment which is an example of electronic equipment.

[Drawing 12] It is process drawing showing the production process of the TFT array substrate of the liquid crystal equipment in the second operation gestalt.

[Drawing 13] It is process drawing showing the production process of the TFT array substrate of the liquid crystal equipment in the third operation gestalt.

[Description of Notations]

1a -- Semi-conductor layer which consists of polish recon

110 -- Quartz substrate

200 -- Liquid crystal equipment

210 -- Single-crystal-silicon film

210a -- Single crystal silicon substrate

210b -- Oxide film

210c -- Film with which silicon ion was poured into the single-crystal-silicon film

210d -- Polish recon film

210e -- Single-crystal-silicon film by which crystal growth was carried out

211 -- Mask which consists of a nitride

401 402 -- Semi-conductor layer which consists of single crystal silicon

600 601 -- Oxide film

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-255559

(P2001-255559A)

(43)公開日 平成13年9月21日(2001.9.21)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 2 F 1/1368		G 0 9 F 9/00	3 4 8 C 2 H 0 9 2
G 0 9 F 9/00	3 4 8	9/30	3 3 8 5 C 0 9 4
	3 3 8	H 0 1 L 21/20	5 F 0 5 2
H 0 1 L 21/20		G 0 2 F 1/136	5 0 0 5 F 1 1 0
29/786		H 0 1 L 29/78	6 1 2 B 5 G 4 3 5
審査請求 未請求 請求項の数9 O L (全 16 頁) 最終頁に続く			

(21)出願番号 特願2000-69414(P2000-69414)

(22)出願日 平成12年3月13日(2000.3.13)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 安川 昌宏

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅彦 (外1名)

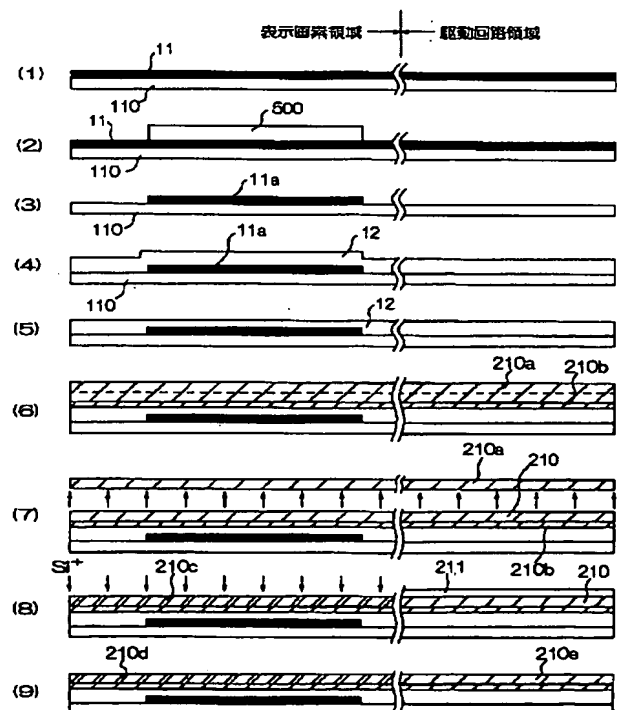
最終頁に続く

(54)【発明の名称】 電気光学装置の製造方法及び電気光学装置

(57)【要約】

【課題】 ポリシリコンからなる半導体層が表示画素領域中に配置され、単結晶シリコンからなる半導体層が駆動回路領域中に配置された液晶装置を、容易に形成する。

【解決手段】 液晶装置のTFTアレイ基板の製造方法において、基板上110に単結晶シリコン膜210を形成し、駆動回路領域に対応する単結晶シリコン膜上にマスク211を形成した状態で、表示画素領域に対応する単結晶シリコン膜に珪素イオンを注入した後、加熱処理をする。これにより、表示画素領域中では、珪素イオンが注入された単結晶シリコン膜210cはポリシリコン化されポリシリコン膜210dとなる。一方、駆動回路領域では、単結晶シリコン膜210は、結晶成長された単結晶シリコン膜210eとなる。



(2)

【特許請求の範囲】

【請求項1】 基板上に、少なくともポリシリコン膜からなる半導体層を有するスイッチング素子が配置された表示画素と、少なくとも該表示画素を駆動する単結晶シリコン膜からなる半導体層を有するスイッチング素子が配置された駆動回路とが配置された電気光学装置の製造方法において、

(a) 前記基板上に単結晶シリコン膜を形成する工程と、

(b) 前記駆動回路に対応する前記単結晶シリコン膜上にマスクを形成する工程と、

(c) 前記単結晶シリコン膜のマスクが形成されていない領域に珪素イオンを注入して非単結晶膜を形成する工程と、

(d) 前記非単結晶膜をポリシリコン化する工程と、

(e) 前記珪素イオンが注入された領域と珪素イオンが注入されていない領域をパターンニングして、それぞれ前記ポリシリコン膜からなる半導体層と前記単結晶シリコン膜からなる半導体層を形成する工程と、を具備することを特徴とする電気光学装置の製造方法。

【請求項2】 前記(d)工程において、前記珪素イオンが注入された領域は、加熱処理されることによりポリシリコン化することを特徴とする請求項1記載の電気光学装置の製造方法。

【請求項3】 前記(c)工程後であって前記(d)工程前に、

(f) 前記マスクを除去する工程を更に具備し、前記(d)工程において、前記加熱処理により前記マスクで覆われていない領域の非単結晶シリコン膜は結晶成長されることを特徴とする請求項2に記載の電気光学装置の製造方法。

【請求項4】 前記(a)工程は、

(g) 水素イオンが注入された単結晶シリコン基板を前記基板上に貼り合わせる工程と、

(h) 貼り合わされた前記基板と前記単結晶シリコン基板とを加熱処理することにより分離し、前記基板上に前記単結晶シリコン膜を形成する工程とを具備することを特徴とする請求項1から請求項3に記載の電気光学装置の製造方法。

【請求項5】 前記(a)工程後であって前記(c)工程前に、

(i) 前記単結晶シリコン膜表面に酸化膜を形成する工程を更に具備することを特徴とする請求項1から請求項4のいずれか一項に記載の電気光学装置の製造方法。

【請求項6】 前記(i)工程は、前記(b)工程後であって前記(c)工程前に行われ、前記酸化膜は前記単結晶シリコン膜表面を酸化して形成されてなることを特徴とする請求項5に記載の電気光学装置の製造方法。

【請求項7】 前記(d)工程前に、

(j) 前記酸化膜を除去する工程を更に具備することを

2

特徴とする請求項5または請求項6に記載の電気光学装置の製造方法。

【請求項8】 前記マスクは窒化膜からなることを特徴とする請求項1から請求項7のいずれか一項に記載の電気光学装置の製造方法。

【請求項9】 請求項1から請求項8のいずれか一項に記載の電気光学装置の製造方法により製造されたことを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に表示画素と駆動回路とを同時形成する電気光学装置の製造方法及び電気光学装置に関する。特に、表示画素のスイッチング素子の半導体層としてポリシリコン層、駆動回路のスイッチング素子の半導体層として単結晶シリコン層が用いられた構造の電気光学装置の製造方法及び電気光学装置の製造方法に関する。

【0002】

【従来の技術】電気光学装置、例えば液晶装置においては、同一基板上に表示画素と駆動回路とが同時形成された構造が用いられている。このような構造においては、表示画素に配置されるスイッチング素子の駆動スピードは比較的遅くても良いのに対し、駆動回路におけるスイッチング素子の駆動には高速応答が要求される。このため、特開平5-134272号公報には、駆動回路のスイッチング素子の半導体層として単結晶シリコンを用い、表示画素のスイッチング素子の半導体層としてポリシリコンを用いる技術が記載されている。そして、このような異なる半導体層を効率良く同一基板上に形成する方法として、特開平5-134272号公報では、シリコン窒化膜を核としてシリコン膜を成長することにより半導体層を形成し、核となるシリコン窒化膜の大きさを異ならせることにより堆積されるシリコン膜を多結晶シリコン膜とするか単結晶シリコン膜とするかを決定している。

【0003】

【発明が解決しようとする課題】しかしながら、上述の公報に記載される製造方法では、表面平滑性の良いシリコン膜が得ることが難しくCMP等の平坦化処理が必要になる。また核からシリコン膜を成長させることが困難で、実用化が難しい。シリコン窒化膜を核として使用した場合、特にチャネル領域が薄い単結晶シリコン膜で構成する場合、チャネルの空乏層が窒化膜の側で終端させ素子のしきい値ばらつきを大きくさせる問題がある。

【0004】本発明は、特開平5-134272号公報に記載される製法とは異なる製法により、駆動回路領域のスイッチング素子の半導体層として単結晶シリコンが用いられ、表示画素領域のスイッチング素子の半導体層としてポリシリコンが用いられた電気光学装置を容易に、効率良く製造し、高品質の電気光学装置を提供する

(3)

3

ことを目的とするものである。

【0005】

【課題を解決するための手段】かかる課題を解決するため、本発明の電気光学装置の製造方法は、基板上に、少なくともポリシリコン膜からなる半導体層を有するスイッチング素子が配置された表示画素と、少なくとも該表示画素を駆動する単結晶シリコン膜からなる半導体層を有するスイッチング素子が配置された駆動回路とが配置された電気光学装置の製造方法において、(a)前記基板上に単結晶シリコン膜を形成する工程と、(b)前記駆動回路に対応する前記単結晶シリコン膜上にマスクを形成する工程と、(c)前記マスクを介して前記単結晶シリコン膜に珪素イオンを注入し非単結晶化した領域を形成する工程と、(d)前記珪素イオンが注入された領域をポリシリコン化する工程と、(e)前記珪素イオンが注入された領域と珪素イオンが注入されていない領域をパターンニングして、それぞれ前記ポリシリコン膜からなる半導体層と前記単結晶シリコン膜からなる半導体層を形成する工程と、を具備することを特徴とする。

【0006】本発明のこのような構成によれば、同一基板上に膜質の良いポリシリコン膜及び単結晶シリコン膜という異なる膜質のシリコン膜を容易に形成することができるという効果を有する。すなわち、前述の公開公報にて開示されている技術では、核の大きさを異ならせることにより異なる膜質のシリコン層を得ているため、核から成長させる際の縦方向及び横方向の成長の制御が難しく、シリコン層の膜厚や大きさの制御が困難であり、更に膜質を異ならせるための核の大きさの制御が困難であった。これに対し、本発明では、はじめに基板全面に単結晶シリコン膜が形成されるため面内における膜厚均一性が良い。更に、本発明では、単結晶シリコン膜のポリシリコン化の方法として、単結晶シリコン膜に珪素イオンを注入し、これを加熱またはレーザーアニール処理などを行うことによりポリシリコン化する方法を採用しているため、珪素イオンの注入の有無によりポリシリコン膜となるか単結晶シリコン膜となるかが決定されるので、同じ基板上で異なる膜質のシリコン膜を容易に形成することができる。

【0007】また、前記(d)工程において、前記珪素イオンが注入された領域は、加熱処理されることによりポリシリコン化することを特徴とする。このように、加熱処理することにより、ポリシリコン化が可能である。ポリシリコン化の際の加熱は600～700℃程度の範囲で行えば良い。

【0008】また、前記(c)工程後であって前記

(d)工程前に、(f)前記マスクを除去する工程を更に具備し、前記(d)工程において、前記加熱処理により前記マスクが覆われていない領域の非単結晶シリコン膜は結晶成長されることを特徴とする。このような構成とすることにより、加熱処理により表示画素領域におけ

4

るシリコン膜のポリシリコン化と、駆動回路領域における単結晶シリコン膜の工程を同時に行うことができる。

【0009】また、前記(a)工程は、(g)水素イオンが注入された単結晶シリコン基板を前記基板上に貼り合わせる工程と、(h)貼り合わされた前記基板と前記単結晶シリコン基板とを加熱処理することにより、前記基板上に前記単結晶シリコン膜を形成する工程とを具備することを特徴とする。このように、単結晶シリコン基板に水素イオンが注入されたSOI(Silicon on Insulator)基板を用いて基板上に単結晶シリコン膜を形成することができ、基板面内で膜厚が均一で平坦性に優れた単結晶シリコン膜を形成することができる。

【0010】また、前記(a)工程後であって前記(c)工程前に、(i)前記単結晶シリコン膜表面に酸化膜を形成する工程を更に具備することを特徴とする。このような構成によれば、珪素イオンの注入前に単結晶シリコン膜の表面に酸化膜が形成された状態となるため、単結晶シリコン膜の表面は酸化膜により保護され、珪素イオンの注入によるシリコン膜表面の荒れを防止することができるという効果を有する。これにより、更に、表面平坦性の良いポリシリコンからなる半導体層を得ることができ、高品質のスイッチング素子を得ることができる。

【0011】また、前記(i)工程は、前記(b)工程後であって前記(c)工程前に行われ、前記酸化膜は前記単結晶シリコン膜表面を酸化して形成されてなることを特徴とする。このような構成とすることにより、マスクを形成した後に表面酸化膜が形成されるため、マスクが酸化膜形成時のマスクとなり、表示画素領域に対応する単結晶シリコン膜表面にのみ効率良く酸化膜を形成することができる。さらに、この酸化膜は単結晶シリコン膜表面を酸化して形成されたものであるため、表示画素におけるシリコン膜の厚みは、駆動回路におけるシリコン膜の厚みよりも薄くなる。これにより、表示画素では、膜厚の薄いポリシリコンからなる半導体層が形成され、駆動回路では、膜厚の厚い単結晶シリコンからなる半導体層が形成される。表示画素においては、半導体層の厚みを薄く、例えば30～70nm、好ましくは30～50nmの膜厚とすることにより、電気光学装置に光が入射される場合、この光入射による半導体層のチャネル領域における光リークの発生が低減されるため、この半導体層を有するスイッチング素子は、誤動作することはない。一方、駆動回路においては、半導体層の厚みを厚く、例えば80～200nmの膜厚とすることにより、ドレイン耐圧性を高めることができる。特に、SOI基板を用いる場合においては、素子能力が極めて高いため、寄生バイポーラの発生による素子耐圧の低下を防止するため、またコンタクト抵抗の低減のため、半導体層の厚みを厚くする方が望ましく、例えば50～200nm

(4)

5

m、更に好ましくは100～160 nmの厚みとすることが望ましい。

【0012】また、前記(d)工程前に、(j)前記酸化膜を除去する工程を更に具備することを特徴とする。このような構成とすることにより、シリコン膜がポリシリコン化される前に酸化膜を除去するため、酸化膜を除去する際に用いる弗化水素酸によりシリコン膜表面が荒れることを防止することができる。ここで、酸化膜の除去のタイミングとしては、ポリシリコン化された後とポリシリコン化される前の2つ場合が考えられる。ポリシリコン化された後に、酸化膜が除去される場合では、酸化膜の除去に用いられるエッチング液が、ポリシリコン膜の粒界が削れ、ポリシリコン膜表面が荒れてしまう。これに対し、ポリシリコン化される前に酸化膜が除去される場合では、酸化膜の除去に用いられるエッチング液により、単結晶シリコン膜表面が荒れることはない。従って、ポリシリコン化工程前に酸化膜が除去されることが望ましい。

【0013】また、前記マスクは窒化膜からなることを特徴とする。このような構成とすることにより、マスク除去に用いられるエッチング液によるシリコン膜表面の荒れを防止することができる。窒化膜、例えば窒化珪素膜などの除去に用いられるエッチング液としては、熱リン酸があり、これはシリコン膜表面を荒らすことがない。これに対し、マスクとして有機膜からなるレジスト膜を用いることもできるが、レジスト膜を用いた場合では、レジスト膜除去に用いられるエッチング液はシリコン膜表面を荒らす傾向にある。従って、好ましくは、マスクとして窒化膜が用いられることが望ましい。

【0014】本発明の電気光学装置は、上述の電気光学装置の製造方法により製造されたことを特徴とする。このような構成によれば、表示画素領域に配置されるスイッチング素子の半導体層はポリシリコンから形成され、駆動回路領域に配置されるスイッチング素子の半導体層は単結晶シリコンから形成される。従って、表示画素領域においては、半導体層のチャネル領域に蓄積されるキャリアのライフタイムを短くすることができ、駆動回路領域においては、駆動能力を高く維持することができる。更に、表示画素領域及び駆動回路領域それぞれの領域内における半導体層の膜厚均一性が高いため、領域内で特性の安定したスイッチング素子を複数得ることができ、高品質の電気光学装置を得ることができる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。

【0016】(第一実施形態における電気光学装置)図1から図3を用いて、第一実施形態における電気光学装置としての液晶装置の構造について説明する。図1は、液晶装置の表示画素を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路、駆

6

動回路領域を示す図である。また、図2は、表示画素におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図及び駆動回路領域の断面図である。尚、各図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0017】図1において、液晶装置200は、互いに交差してなる走査線3aとデータ線6aとを有する表示画素が配置された表示画素領域と、これら走査線3aとデータ線6aに駆動信号をそれぞれ供給するための走査線駆動回路104、データ線駆動回路101等の駆動回路が配置された駆動回路領域とから構成される。

【0018】表示画素領域は、平行に配置された容量線3b及び走査線3aと、走査線3aと交差して配置されたデータ線6aと、これら走査線3aとデータ線6aとの交差部毎にマトリクス状に配置された画素電極9aと、画素電極9aを制御するための第1のスイッチング素子としての薄膜トランジスタ(以下、TFTと称する)30とからなる。画像信号が供給されるデータ線6aにはTFT30のソースが電氣的に接続され、走査信号が供給される走査線3aにはTFT30のゲートが電氣的に接続している。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。

【0019】一方、駆動回路領域は、走査線駆動回路104、データ線駆動回路101、サンプリング回路301、プリチャージ回路201からなる。走査線駆動回路104は、外部制御回路から供給される電源、基準クロックCLY及びその反転クロック等に基づいて、所定タイミングで走査線3aに走査信号G1、G2、…、Gmをパルス的に線順次で印加する。データ線駆動回路101は、外部制御回路から供給される電源、基準クロックCLX及びその反転クロック等に基づいて、走査線駆動回路104が走査信号G1、G2、…、Gmを印加するタイミングに合わせて、データ線6a毎にサンプリング回路駆動信号としてのシフトレジスタからの転送信号X1、X2、…、Xnを、サンプリング回路301にサンプリング回路駆動信号線306を介して所定タイミングで供給する。プリチャージ回路201は、スイッチング素子として、例えばTFT202を各データ線6a毎に備えており、プリチャージ信号線204がTFT202のドレイン又はソース電極に接続されており、プリチャージ回路駆動信号線206がTFT202のゲート電極

7

に接続されている。

【0020】駆動回路領域中に配置される第2のスイッチング素子としての駆動回路用TFTは、表示画素領域中に配置されるTFT30と同一基板上で同一工程で形成されている。

【0021】後述するが、液晶装置は対向基板とTFTアレ基板との間に液晶層が挟持して構成されており、TFTアレ基板は以下のように構成されている。すなわち、図2に示すように、TFTアレ基板10では、ガラス基板60上にマトリクス状に複数の透明な画素電極9aが設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。データ線6aは縦方向に延伸した形状に形成され、データ線6aの一部はコンタクトホール5を介してポリシリコンからなる半導体層1a（幅の広い点線で囲まれた領域）のうち後述のソース領域に電氣的に接続されている。また、画素電極9a（幅の狭い点線9a'で囲まれた領域）の一部は、コンタクトホール8を介して半導体層1aのうち後述のドレイン領域に電氣的に接続されている。また、半導体層1aのうちチャネル領域1a'（右下がりの斜線が形成された領域）に一部が対向するように走査線3aが配置され、走査線3aの一部はゲート電極として機能する。容量線3bは、走査線3aに沿ってほぼ平行に直線状に伸びた本線部と、データ線6aと交差する箇所からデータ線6aに沿って突出した突出部を有し、この突出部にほぼ対応して半導体層1の一部である容量用電極1fが配置されている。第1遮光膜11aは、表示画素領域において半導体層1aのチャネル領域を含むTFTをTFTアレ基板の側から見て覆う位置に設けられており、更に、容量線3bの本線部に対向して走査線3aに沿って直線状に伸びる本線部と、データ線6aと交差する箇所からデータ線6aに沿って隣接する段側（即ち、図中下向き）に突出した突出部とを有する。第1遮光膜11aの各段

（画素行）における下向きの突出部の先端は、データ線6a下において次段における容量線3bの上向きの突出部の先端と重ねられている。この重なった箇所には、第1遮光膜11aと容量線3bとを相互に電氣的接続するコンタクトホール13が設けられている。即ち、本実施の形態では、第1遮光膜11aは、コンタクトホール13により前段あるいは後段の容量線3bに電氣的接続されている。また、容量線3bの突出部と容量用電極1fとは、後述するゲート絶縁膜2を誘電体層として蓄積容量を形成している。

【0022】図3に示すように、液晶装置200は、対向基板20とTFTアレ基板10との間に液晶層50を挟持して構成される。

【0023】TFTアレ基板10は、表示画素領域においては、例えば石英基板110上に、遮光膜11aが配置され、この遮光膜11aを覆って酸化シリコンから

(5)

8

なる下地膜12が配置されている。下地膜12上には、ポリシリコンからなる半導体層1aが配置されている。半導体層1aは、その一部が容量用電極1fとなっており、この容量用電極1fと接続して、LDD構造からなる半導体層を有している。このLDD（lightly doped drain）構造からなる半導体層は、チャネル領域1a'を挟んで両側に低濃度ソース領域1b及び低濃度ドレイン領域1cが配置され、これらの領域を挟んで両側に高濃度ソース領域1d及び高濃度ドレイン領域1eが配置された構造となっている。

【0024】半導体層1a上には、一部が蓄積容量形成用の誘電体膜としても機能する酸化シリコン膜からなるゲート絶縁膜2が形成されている。ゲート絶縁膜2上にはポリシリコンからなる走査線3a及び容量線3bが形成されている。走査線3aの一部はゲート電極を兼ねており、ゲート電極はチャネル領域1a'に対応して配置される。これらの走査線3a及び容量線3bを含む半導体層1a上には第1層間絶縁膜4が形成され、この第1層間絶縁膜4上には、例えばアルミニウムからなるデータ線6aが形成されている。データ線6aは、第1層間絶縁膜4に形成されるコンタクトホール5を介して高濃度ソース領域1dに電氣的に接続されている。さらに、データ線6aを含む第1層間絶縁膜4上には、第2層間絶縁膜7が形成されている。第2層間絶縁膜7上には、ITO（Indium Tin Oxide）膜からなる画素電極9aが形成されており、この画素電極9aは、第1層間絶縁膜4及び第2層間絶縁膜7に形成されたコンタクトホール8を介して高濃度ドレイン領域1eに電氣的に接続されている。そして、画素電極9aを含む第2層間絶縁膜7上に、ポリイミド膜が配向処理されて形成される配向膜16が配置されている。

【0025】また、TFTアレ基板10の駆動回路領域においては、相補型トランジスタ構造などが採用されている。図3に示すように、相補型トランジスタ構造は、Nチャネル型TFT407、Pチャネル型TFT408を有している。図3に示すように、ガラス基板110上に配置された下地層12上にNチャネル型に対応する半導体層401、Pチャネル型の半導体層402とが配置され、これらを覆うように、ゲート絶縁膜2が配置されている。半導体層401、402は単結晶シリコンからなる。半導体層401は、チャネル領域401aを挟んで両側にソース領域401b及びドレイン領域401cが配置され、半導体402は、チャネル領域402aを挟んで両側にソース領域402b及びドレイン領域402cが配置された構造となっている。ゲート絶縁膜2上には、半導体層401、402のそれぞれのチャネル領域401a、402aに相当する位置にゲート電極403、404が配置されている。更に、ゲート電極403、404を覆って第1層間絶縁膜4が配置され、第1層間絶縁膜4上にはソース電極405a、406a、

(6)

9

ドレイン電極405b、406bが配置されている。ソース電極405a、ドレイン電極405bは、それぞれ、ソース領域401b、ドレイン領域401cと第1層間絶縁膜に形成されたコンタクトホール420a、420bを介して電氣的に接続されている。また、ソース電極406a、ドレイン電極406bは、それぞれ、ソース領域402b、ドレイン領域402cと第1層間絶縁膜に形成されたコンタクトホール421a、421bを介して電氣的に接続されている。さらにソース電極405a、406a及びドレイン電極405b、406bを含む第1層間絶縁膜4上には、第2層間絶縁膜7、配向膜16が順次積層されている。

【0026】他方、対向基板20は、例えばガラス基板120上にマトリクス状に形成された遮光膜23、これを覆って順次形成されたITO膜からなる対向電極21、ポリイミド膜が配向処理されて形成されたる配向膜22とから構成されている。図3においては、駆動回路領域には配向膜16のみが形成された状態となっているが、表示画素領域に少なくとも対向電極21及び配向膜が形成されていれば良く、駆動回路領域に形成される膜について特に規制はない。

【0027】次にTFTアレイベースの製造方法について図4～図8を用いて説明する。尚、図4から図8は、TFTアレイベース側の表示画素領域及び駆動回路領域における各層の断面図を、図3に対応させて示す工程図である。

【0028】図4の工程(1)に示すように、まず石英基板110を用意する。ここで、好ましくはN₂(窒素)等の不活性ガス雰囲気且つ約850～1300℃、より好ましくは1000℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレイベース10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前に石英基板110を同じ温度かそれ以上の温度で熱処理しておく。

【0029】このように処理された石英基板110の全面に、Ti、Cr、W、Ta、Mo及びPb等の金属や金属シリサイド等の金属合金膜を、スパッタにより、100～500nm程度の層厚、ここでは約200nmの層厚の遮光膜11を形成する。

【0030】次に、工程(2)に示すように、フォトリソグラフィにより第1遮光膜11aのパターン(図6参照)に対応するレジスト膜500を形成する。

【0031】次に、工程(3)に示すように、レジスト膜500を介して遮光層11に対しエッチングを行うことにより、遮光層11aを形成し、レジスト膜500を除去する。

【0032】次に、工程(4)に示すように、該第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)

10

ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地膜12を形成する。この下地膜12の層厚は、例えば、約400～1200nmとする。ここでは、1100nm程度とする。

【0033】次に、工程(5)に示すように、下地膜12の表面を、グローバルに研磨して平坦化する。研磨による平坦化の手法としては、例えばCMP(化学的機械研磨)法を用いることができる。これにより、下地膜12の膜厚を約600nmとした。

【0034】次に、工程(6)に示すように、基板110と単結晶シリコン基板210aとの貼り合わせを行う。

【0035】貼り合わせに用いる単結晶シリコン基板210aは、厚さ600μmあり、その表面があらかじめ50～800nm、ここでは200nm程度酸化されて、酸化膜210bが形成されている。これは貼り合わせ後に形成される単結晶シリコン層210と酸化膜層210bの界面を熱酸化で形成し、電気特性の良い界面を確保するためである。さらに、単結晶シリコン基板210aには、水素イオン(H⁺)が例えば加速電圧100keV、ドーズ量10×10¹⁶cm⁻²にて注入されており、その注入深さは、基板表面から約300nmとなっている。図では、単結晶シリコン基板210aのうち、点線より下側の領域に水素イオンが注入された状態となっている。

【0036】貼り合わせでは、基板110上の下地膜12と単結晶シリコン基板210aの酸化膜210bが接するように貼り合わされる。貼り合わせ工程は、例えば300℃で2時間の熱処理によって2枚の基板を直接貼り合わせる方法が採用できる。

【0037】次に、工程(7)に示すように、貼り合わせた単結晶シリコン基板210aの貼り合わせ面側の酸化膜210bと単結晶シリコン膜210を残したまま、単結晶シリコン基板210aを、基板10から剥離するための熱処理を行う。この基板の剥離現象は、単結晶シリコン基板中に導入された水素イオンによって、単結晶シリコン基板の表面近傍のある層でシリコンの結合が分断されるために生じるものである。例えば、貼り合わせた2枚の基板を毎分20℃の昇温速度にて600℃まで加熱することにより行うことができる。この熱処理によって、貼り合わせた単結晶シリコン基板210aが基板10と分離し、基板10表面には、約200nm程度の膜厚の珪素酸化膜210bと70nm程度の膜厚の単結晶シリコン膜210とが形成される。なお、基板10上に貼り合わされる単結晶シリコン膜210は、前に述べた単結晶シリコン基板210aに対して行われる水素イオン注入の加速電圧を変えることによって50nm～3

(7)

11

000 nmまで任意の膜厚で形成することが可能である。この後、単結晶シリコン膜210表面をタッチポリッシングし、平滑化する。単結晶シリコン膜の厚みは50~200 nmが好ましく、本実施形態においては55 nmとした。

【0038】本実施形態では、水素イオンを注入した単結晶シリコン基板を貼り合わせ後に熱処理によって分離するSmart Cut法を用いて、基板上に単結晶シリコン膜を形成するUni bond法を用いるため、基板全面に渡って膜厚均一性の高い単結晶シリコン膜を得ることができる。

【0039】この他に、単結晶シリコン膜を得るための手法としては、水素イオンを注入しない単結晶シリコン基板を基板に貼り合わせ、熱処理して貼り合わせた後、PACE (Plasma Assisted Chemical Etching) 法によってシリコン層206の膜厚を0.05~0.8 μm 程度までエッチングして形成しても良い。このPACE処理によって単結晶シリコン膜は、例えば膜厚100 nmに対しその膜厚均一性は10%以内のものが得られる。

【0040】また、単結晶シリコン膜を得るための他の手法としては、多孔質シリコン上に形成したエピタキシャルシリコン層を多孔質シリコン層の選択エッチングによって貼り合わせ基板上に転写するELTRAN (Epitaxial Layer Transfer) 法を用いることもでき、成膜方法には依存しない。

【0041】次に、単結晶シリコン膜210上に窒化珪素膜を200 nmの厚みにて成膜した後、工程(8)に示すように、駆動回路領域のみに窒化珪素膜からなるマスク211が残るように、表示画素領域中に形成された窒化珪素膜をエッチングにより除去する。ここで、マスクとしては、窒化珪素膜といった無機膜以外に有機膜を用いることもできるが、マスクとして有機膜を用いる場合は、マスクを除去する際、後述するシリコンの注入によってレジストが固化し剥離できない可能性があるのに対して、窒化珪素膜といった無機膜では、前記のような問題がないため、無機膜を用いることが好ましい。

【0042】次に、工程(8)に示すように、マスク211を介して、珪素イオン(Si^+)を、40 keVの加速電圧で、 $3 \times 10^{15} \text{cm}^{-2}$ の量で注入する。これにより、表示画素領域においては、珪素同士の結合がきれた状態の膜210cが形成される。一方、駆動回路領域においては珪素イオンが注入されていない単結晶シリコン膜210のままとなる。

【0043】次に、工程(9)に示すように、マスク211を熱リン酸により剥離する。この後、窒素雰囲気中で、600~700℃の温度下、ここでは640℃の温度下で6時間加熱し、非単結晶シリコン膜の固相成長を行う。この工程により、表示画素領域においては、非単結晶シリコン膜210cがポリシリコン化されてポリシ

12

リコン膜210dが形成される。一方、駆動回路領域においては、単結晶シリコン膜210eが形成された構成となる。ここで、ポリシリコン化及び固相成長の手段としては、レーザーアニールを用いても良い。

【0044】次に、図5の工程(10)に示すように、フォトリソグラフィ工程、エッチング工程等により、表示画素領域においては、図2及び図3に示した如き所定パターンの半導体層1a、半導体層1aから延設された容量用電極1fを形成する。駆動回路領域においては半導体層401及び402を形成する。

【0045】本実施形態においては、珪素イオン注入後にシリコン膜をパターンニングしているが、シリコン膜をパターンニングしてから、駆動回路領域をマスクした状態で珪素イオンを注入することもできる。

【0046】次に、工程(11)に示すように、表示画素領域における画素スイッチング用TFT30を構成する半導体層1a、容量用電極1f、駆動回路領域におけるN型TFTを構成する半導体層401及びP型TFTを構成する半導体層402を、約850~1300℃の温度、好ましくは約1000℃の温度で30分程度熱酸化することにより、約30 nmの比較的薄い厚さの熱酸化シリコン膜を形成する。更に、30~50 nmの厚みにて減圧CVD法等により高温酸化シリコン膜(HTO)膜を形成し、熱酸化シリコン膜とHTO膜の二層からなるゲート絶縁膜2を形成する。この結果、半導体層1a、401、402及び第1蓄積容量電極1fの厚さは、約40 nmの厚さ、ゲート絶縁膜2の厚さは、約60~80 nmの厚さとなる。

【0047】次に、工程(12)に示すように、半導体層1aを延設してなる第1蓄積容量電極1fを低抵抗化するため、基板10の表面の走査線3a(ゲート電極)に対応する部分にレジスト膜501を形成し、これをマスクとしてその上からPなどのV族元素のドーパント、ここではPイオンを70 keVの加速電圧、 $3 \times 10^{14} \text{cm}^{-2}$ のドーパント量にてドーピングする。

【0048】次に、工程(13)に示すように、レジスト膜501を除去し、下地膜12に、遮光膜11aに至るコンタクトホール13を反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより或いはウェットエッチングにより形成する。この際、反応性イオンエッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール13等を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウェットエッチングとを組み合わせると開孔すれば、これらのコンタクトホール13等をテーパ状にできるので、配線接続時の断線を防止できるという利点を得られる。

【0049】次に、工程(14)に示すように、減圧CVD法等によりポリシリコン膜3を350 nm程度の厚

(8)

13

さで堆積した後、リン(P)を熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドーパントシリコン膜を用いてもよい。これにより、ポリシリコン膜3の導電性を高めることができる。

【0050】次に、工程(15)に示すように、レジスト膜を用いたフォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの走査線3aと共に容量線3bを形成する。

【0051】次に、工程(16)に示すように、駆動回路領域のPチャネルTFTとなる半導体層402を除く10 基板全面にレジスト膜502を形成する。その後、このレジスト膜502及びゲート電極404をマスクとして、半導体層402にBなどのIII族元素のドーパント、ここではBF₂イオンを90keVの加速電圧、 $2 \times 10^{15} \text{ cm}^{-2}$ のドーザ量にてドーピングする。これにより、駆動回路領域におけるPチャネルTFTに対応するソース領域402b及びドレイン領域402cが形成される。ドーピング後、レジスト膜502は除去される。

【0052】次に、工程(17)に示すように、駆動回路領域のPチャネルTFTとなる半導体層402を覆う20 ようにレジスト膜503を形成する。その後、レジスト膜503及び走査線(ゲート電極)3a、容量線3bをマスクとして、半導体層401及び半導体層1aに、PなどのV族元素のドーパント、ここでは、Pイオンを70keVの加速電圧、 $6 \times 10^{12} \text{ cm}^{-2}$ のドーザ量にてドーピングする。これにより表示画素領域のTFTの半導体層1aにおいては、低濃度ソース領域1b及び低濃度ドレイン領域1cが形成される。また、駆動回路領域においては、NチャネルTFTに対応するソース領域401b及びドレイン領域401cが形成される。ドーピング後、レジスト膜503は除去される。

【0053】続いて、工程(18)に示すように、ゲート電極3aよりも幅が広い形状を有し、更に駆動回路領域におけるPチャネルTFTの半導体層402を覆う形状を有するレジスト膜504を形成する。その後、レジスト膜504及びゲート電極403をマスクとして、半導体層1a及び半導体層401に、PなどのV族元素のドーパント、ここではPイオンを70keVの加速電圧、 $4 \times 10^{15} \text{ cm}^{-2}$ のドーザ量にてドーピングする。これにより、表示画素領域のTFTにおいては、高濃度ソース領域1d及び高濃度ドレイン領域1eが形成される。また、駆動回路領域のNチャネル型TFTにおいては、更に低抵抗化されたソース領域401b及びドレイン領域401cが得られる。ドーピング後、レジスト膜504は除去される。

【0054】次に、工程(19)に示すように、画素スイッチング用TFT30における走査線3aと共に容量線3b及び走査線3aを覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PS

14

G、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜4を形成する。第1層間絶縁膜4の層厚は、約500～1500nmが好ましく、更に800nmがより好ましい。

【0055】この後、半導体層にドーピングされた不純物イオンを活性化するために約850℃のアニール処理を20分程度行う。

【0056】次に、工程(20)に示すように、表示画素領域においては、データ線6aに対するコンタクトホール5を、駆動回路領域においては、ソース電極405a、406a及びドレイン電極405b、406bのそれぞれに対応するコンタクトホール420a、421a、420b、421bを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチング或いはウェットエッチングにより第1層間絶縁膜4をエッチングして形成する。

【0057】次に、図7の工程(21)に示すように、第1層間絶縁膜4の上に、スパッタ処理等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜6として、約100～700nmの厚さ、好ましくは約350nmに堆積する。

【0058】次に金属膜6を、フォトリソグラフィ工程、エッチング工程等によりパターンニングし、工程(22)に示すように、データ線6a、ソース電極405a、406a、ドレイン電極405b、406bを形成する。

【0059】次に、工程(23)に示すように、データ線6a、ソース電極405a、406a、ドレイン電極405b、406bを含む第1層間絶縁膜4上に、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜7を形成する。第2層間絶縁膜7の層厚は、約500～1500nmが好ましく、更に800nmがより好ましい。

【0060】次に、図8の工程(24)に示すように、画素スイッチング用TFT30において、画素電極9aと高濃度ドレイン領域1eとを電気的接続するためのコンタクトホール8を、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。

【0061】次に、工程(25)に示すように、第2層間絶縁膜7の上に、スパッタ処理等により、ITO膜等の透明導電性薄膜9を、約50～200nmの厚さに堆積し、更に工程(26)に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。

【0062】続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角

50

(9)

15

を持つように且つ所定方向でラビング処理を施すこと等により、配向膜16（図3参照）が形成される。

【0063】他方、図7に示した対向基板20については、ガラス基板120等が先ず用意される。このガラス基板120上に、例えば金属クロムをスパッタした後、フォトリソグラフィ工程、エッチング工程を経て、マトリクス状の遮光膜23を形成する。尚、この遮光膜23は、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

【0064】その後、基板120の全面にスパッタ処理等により、ITO等の透明導電性薄膜を、約50～200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22（図3参照）が形成される。

【0065】最後に、上述のように各層が形成されたTFTアレイ基板10と対向基板20とは、配向膜16及び22が対面するように図示しないシール材により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層50が形成される。

【0066】（第二実施形態における電気光学装置）次に、第二実施形態における液晶装置について説明する。第一実施形態とは、TFTアレイ基板の製造方法が一部異なり、相違する点のみ以下に説明し、同じ構造及び製造方法については説明を省略する。

【0067】第二実施形態におけるTFTアレイ基板の製造方法では、表示画素領域に対応する単結晶シリコン膜表面に酸化膜が形成された状態で珪素イオンが注入される点で、第一実施形態と異なり、図12を用いて説明する。

【0068】まず、第一実施形態で説明した図4（1）～（7）工程と同じ工程を経て、基板110上に遮光膜11a、下地膜12、酸化膜210b、単結晶シリコン膜210が順次形成された基板を形成する。ここで、単結晶シリコン膜の厚みは67nmとした。

【0069】次に図12（1）工程に示すように、単結晶シリコン膜210上に窒化珪素膜を200nmの厚みにて成膜した後、駆動回路領域のみに窒化珪素膜からなるマスク211が残るように、表示画素領域中に形成された窒化珪素膜をエッチングにより除去する。

【0070】次に、図12（2）工程に示すように、表示画素領域に対応する単結晶シリコン膜210の表面を表面酸化し、約24nmの膜厚の酸化膜600を形成する。この際、単結晶シリコン膜の厚みは、約40nmである。その後、酸化膜600及びマスク211を介して単結晶シリコン膜210に、珪素イオンを60keVの加速電圧で、 $3 \times 10^{15} \text{cm}^{-2}$ の量で注入する。こ

16

で、マスク211は窒化膜で形成されているため、単結晶シリコン膜210内に珪素イオンが注入されることはない。また、珪素イオンは酸化膜600を通過して単結晶シリコン膜210内に珪素イオンが注入される。ここで、酸化膜600は膜210cの保護膜として機能し、珪素イオンの注入による膜210c表面の荒れを防止する。この後、窒化膜211を熱リン酸により除去する。更に、酸化膜600を弗化水素酸により除去する。尚、次に説明するポリシリコン化工程の後に酸化膜を除去する工程を設けても良いが、ポリシリコン化前に酸化膜を除去する工程を設けることが望ましい。これは、ポリシリコン化された状態で酸化膜を剥離すると、剥離に用いられる弗化水素酸によりポリシリコン膜表面が荒れるためである。

【0071】次に、窒素雰囲気中にて640℃の温度下で6時間加熱し、非単結晶シリコン膜の固相成長を行う。この工程により、表示画素領域においては、膜210cがポリシリコン化されてポリシリコン膜が形成される。一方、駆動回路領域においては、単結晶シリコン膜210が形成された構成となる。その後、酸化膜600をウエットエッチングにより除去する。

【0072】この後の工程では、第一実施形態の図5（10）工程～図8（26）工程に記載される工程と同様の処理が行われる。

【0073】第2実施形態においては、酸化膜600を介して単結晶シリコン膜に珪素イオンを注入するため、単結晶シリコン膜表面の荒れを防止することができ、品質の良い半導体層1aを得ることができる。

【0074】（第三実施形態における電気光学装置）次に、第三実施形態における液晶装置について説明する。第一実施形態においては、表示画素領域中における画素スイッチ用TFTに対応する半導体層1aの膜厚が、駆動回路領域中におけるTFTの半導体層401及び402の膜厚よりも薄い点で構造が異なる。そして、このような表示画素領域及び駆動回路領域それぞれに配置される半導体層の厚みを異ならせるために、第三実施形態の製造方法は第一実施形態の製造方法と一部異なる。以下に、第一実施形態の製造方法と異なる部分についてのみ説明し、同じ製造方法については説明を省略する。

【0075】第三実施形態におけるTFTアレイ基板の製造方法では、表示画素領域に対応する単結晶シリコン膜表面を酸化し、表面酸化膜を形成することにより、表示画素領域及び駆動回路領域それぞれに配置される半導体層の厚みを異ならせる点で、第一実施形態と異なる。また、この表面酸化膜の除去は、ポリシリコン化工程の前に行われ、以下、図13を用いて説明する。

【0076】まず、第一実施形態で説明した図4（1）～（7）工程と同じ工程を経て、基板110上に遮光膜11a、下地膜12、酸化膜210b、単結晶シリコン膜210が順次形成された基板を形成する。

(10)

17

【0077】次に図13(1)工程に示すように、単結晶シリコン膜210上に窒化珪素膜を200nmの厚みにて成膜した後、駆動回路領域のみに窒化珪素膜からなるマスク211が残るように、表示画素領域中に形成された窒化珪素膜をエッチングにより除去する。

【0078】次に、図13(2)工程に示すように、表示画素領域に対応する単結晶シリコン膜210の表面を酸化し、約280nmの膜厚の酸化膜601を形成する。これにより表示画素のシリコンの残り膜厚は55nmになる。

【0079】次に、図13(3)工程に示すように、酸化膜601をウエットエッチングにより除去する。これにより、表示画素領域においては膜厚が約40nmの単結晶シリコン膜210、駆動回路領域においては膜厚が約100nmの単結晶シリコン膜210が形成される。その後、マスク211を介して単結晶シリコン膜210に、珪素イオンを30keVの加速電圧で、 $3 \times 10^{15} \text{ cm}^{-2}$ の量で注入する。ここで、マスク211は窒化膜で形成されているため、マスクで覆われている領域の単結晶シリコン膜210内に珪素イオンが注入されることはない。この後、窒化膜211を熱燐酸により除去する。

【0080】次に、窒素雰囲気中にて640℃の温度下で6時間加熱し、非単結晶シリコン膜の固相成長を行う。この工程により、表示画素領域においては、膜210cがポリシリコン化されて膜厚55nmのポリシリコン膜が形成される。一方、駆動回路領域においては、単結晶シリコン膜210が形成された構成となる。本実施形態では、酸化膜601の除去後に加熱によるポリシリコン化を行っているが、加熱によるポリシリコン化後に酸化膜601の除去を行っても良い。しかし、ポリシリコン化後に酸化膜601の除去を行うと、酸化膜除去に用いられるエッチング液によりポリシリコン膜の表面が荒れる場合があり、好ましくは、酸化膜601の除去後に、加熱によるポリシリコン化を行う方が良い。

【0081】この後の工程では、第一実施形態の図5

(10)工程～図8(26)工程に記載される工程と同様の処理が行われる。

【0082】ここで、表示画素領域には液晶装置としたときに光が入射されるため、この光入射による半導体層のチャネル領域における光リークの発生を防止するために、ポリシリコンからなる半導体層の膜厚を30～70nm、更に好ましくは30～50nmと比較的薄くすることが望ましい。一方、駆動回路領域に配置されるTFTの単結晶シリコンからなる半導体層では、ドレイン耐圧性を高めるために、半導体層の膜厚を50～200nm、更に好ましくは100～160nmと比較的厚くすることが望ましい。特に、SOI基板を用いた製造方法の場合、周辺回路領域の素子能力が極めて高いため、寄生バイポーラの発生による素子耐圧の低下を防止するた

18

め、またコンタクト抵抗を低減するため、周辺回路領域における半導体の厚みを厚くする方が望ましい。第3実施形態においては、表示画素領域に配置されるTFTに対応するポリシリコンからなる半導体層の厚みが、駆動回路領域における配置されるTFTに対応する単結晶シリコンからなる半導体層の厚みよりも薄い構造となるため、表示画素領域における光リークの問題を解決しつつ、駆動回路領域におけるドレイン耐圧性を高めることができる。

10 【0083】(液晶装置の全体構成) 以上のように構成された液晶装置の各実施の形態の全体構成を図9及び図10を参照して説明する。尚、図9は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図10は、対向基板20を含めて示す図9のH-H'断面図である。

【0084】図9において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられている。シール材52の外側の領域には、データ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の
20 一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画素表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは画素表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画素表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレイ基板10の残る一
30 辺には、画素表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられており、更に、周辺見切りとしての第2遮光膜53の下に隠れてプリチャージ回路を設けてもよい。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電氣的導通をとるための導通材106が設けられている。そして、図10に示すように、図9に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。

【0085】(電子機器の構成) 上記の液晶装置を用いた電子機器の一例として、投射型表示装置の構成について、図11を参照して説明する。図11において、投射型表示装置1100は、上述した液晶装置を3個用意し、夫々RGB用の液晶装置962R、962G及び962Bとして用いた投射型液晶装置の光学系の概略構成
50 図を示す。本例の投射型表示装置の光学系には、前述し

(11)

19

た光源装置920と、均一照明光学系923が採用されている。そして、投射型表示装置は、この均一照明光学系923から出射される光束Wを赤(R)、緑(G)、青(B)に分離する色分離手段としての色分離光学系924と、各色光束R、G、Bを変調する変調手段としての3つのライトバルブ925R、925G、925Bと、変調された後の色光束を再合成する色合成手段としての色合成プリズム910と、合成された光束を投射面100の表面に拡大投射する投射手段としての投射レンズユニット906を備えている。また、青色光束Bに対応するライトバルブ925Bに導く導光系927をも備えている。

【0086】均一照明光学系923は、2つのレンズ板921、922と反射ミラー931を備えており、反射ミラー931を挟んで2つのレンズ板921、922が直交する状態に配置されている。均一照明光学系923の2つのレンズ板921、922は、それぞれマトリクス状に配置された複数の矩形レンズを備えている。光源装置920から出射された光束は、第1のレンズ板921の矩形レンズによって複数の部分光束に分割される。そして、これらの部分光束は、第2のレンズ板922の矩形レンズによって3つのライトバルブ925R、925G、925B付近で重畳される。従って、均一照明光学系923を用いることにより、光源装置920が出射光束の断面内で不均一な照度分布を有している場合でも、3つのライトバルブ925R、925G、925Bを均一な照明光で照明することが可能となる。

【0087】各色分離光学系924は、青緑反射ダイクロイックミラー941と、緑反射ダイクロイックミラー942と、反射ミラー943から構成される。まず、青緑反射ダイクロイックミラー941において、光束Wに含まれている青色光束Bおよび緑色光束Gが直角に反射され、緑反射ダイクロイックミラー942の側に向かう。赤色光束Rはこのミラー941を通過して、後方の反射ミラー943で直角に反射されて、赤色光束Rの出射部944からプリズムユニット910の側に出射される。

【0088】次に、緑反射ダイクロイックミラー942において、青緑反射ダイクロイックミラー941において反射された青色、緑色光束B、Gのうち、緑色光束Gのみが直角に反射されて、緑色光束Gの出射部945から色合成光学系の側に出射される。緑反射ダイクロイックミラー942を通過した青色光束Bは、青色光束Bの出射部946から導光系927の側に出射される。本例では、均一照明光学素子の光束Wの出射部から、色分離光学系924における各色光束の出射部944、945、946までの距離がほぼ等しくなるように設定されている。

【0089】色分離光学系924の赤色、緑色光束R、Gの出射部944、945の出射側には、それぞれ集光

20

レンズ951、952が配置されている。したがって、各出射部から出射した赤色、緑色光束R、Gは、これらの集光レンズ951、952に入射して平行化される。

【0090】このように平行化された赤色、緑色光束R、Gは、ライトバルブ925R、925Gに入射して変調され、各色光に対応した画像情報が付加される。すなわち、これらの液晶装置は、不図示の駆動手段によって画像情報に応じてスイッチング制御されて、これにより、ここを通過する各色光の変調が行われる。一方、青色光束Bは、導光系927を介して対応するライトバルブ925Bに導かれ、ここにおいて、同様に画像情報に応じて変調が施される。尚、本例のライトバルブ925R、925G、925Bは、それぞれさらに入射側偏光手段960R、960G、960Bと、出射側偏光手段961R、961G、961Bと、これらの間に配置された液晶装置962R、962G、962Bとからなる液晶ライトバルブである。

【0091】導光系927は、青色光束Bの出射部946の出射側に配置した集光レンズ954と、入射側反射ミラー971と、出射側反射ミラー972と、これらの反射ミラーの間に配置した中間レンズ973と、ライトバルブ925Bの手前側に配置した集光レンズ953とから構成されている。集光レンズ946から出射された青色光束Bは、導光系927を介して液晶装置962Bに導かれて変調される。各色光束の光路長、すなわち、光束Wの出射部から各液晶装置962R、962G、962Bまでの距離は青色光束Bが最も長くなり、したがって、青色光束の光量損失が最も多くなる。しかし、導光系927を介在させることにより、光量損失を抑制することができる。

【0092】各ライトバルブ925R、925G、925Bを通過して変調された各色光束R、G、Bは、色合成プリズム910に入射され、ここで合成される。そして、この色合成プリズム910によって合成された光が投射レンズユニット906を介して所定の位置にある投射面100の表面に拡大投射されるようになっている。

【図面の簡単な説明】

【図1】液晶装置における表示画素領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等、駆動回路領域の等価回路図である。

【図2】液晶装置におけるデータ線、走査線、画素電極、TFT等が形成されたTFTアレイ基板の表示画素領域の平面図である。

【図3】図2の線A-A'断面図である。

【図4】第一実施形態における液晶装置のTFTアレイ基板の製造工程を順に追って示す工程図(その1)である。

【図5】第一実施形態における液晶装置のTFTアレイ基板の製造工程を順に追って示す工程図(その2)である。

(12)

21

【図6】第一実施形態における液晶装置のTFTアレ
イ基板の製造工程を順に追って示す工程図（その3）であ
る。

【図7】第一実施形態における液晶装置のTFTアレ
イ基板の製造工程を順に追って示す工程図（その4）であ
る。

【図8】第一実施形態における液晶装置のTFTアレ
イ基板の製造工程を順に追って示す工程図（その5）であ
る。

【図9】液晶装置の各実施の形態におけるTFTアレ
イ基板をその上に形成された各構成要素と共に対向基板の
側から見た平面図である。

【図10】図9のH-H'断面図である。

【図11】液晶装置を用いた電子機器の一例である投射
型表示装置の構成図である。

【図12】第二実施形態における液晶装置のTFTアレ
イ基板の製造工程を示す工程図である。

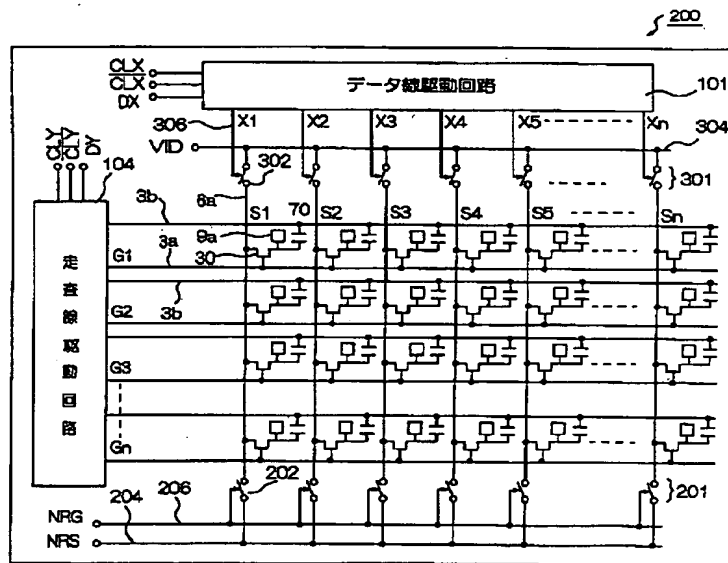
22

【図13】第三実施形態における液晶装置のTFTアレ
イ基板の製造工程を示す工程図である。

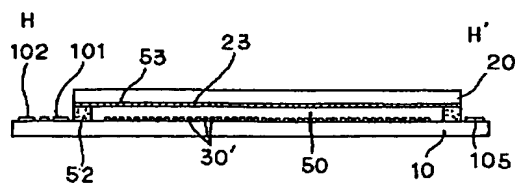
【符号の説明】

- 1 a…ポリシリコンからなる半導体層
- 1 1 0…石英基板
- 2 0 0…液晶装置
- 2 1 0…単結晶シリコン膜
- 2 1 0 a…単結晶シリコン基板
- 2 1 0 b…酸化膜
- 2 1 0 c…単結晶シリコン膜に珪素イオンが注入された膜
- 2 1 0 d…ポリシリコン膜
- 2 1 0 e…結晶成長された単結晶シリコン膜
- 2 1 1…窒化膜からなるマスク
- 4 0 1、4 0 2…単結晶シリコンからなる半導体層
- 6 0 0、6 0 1…酸化膜

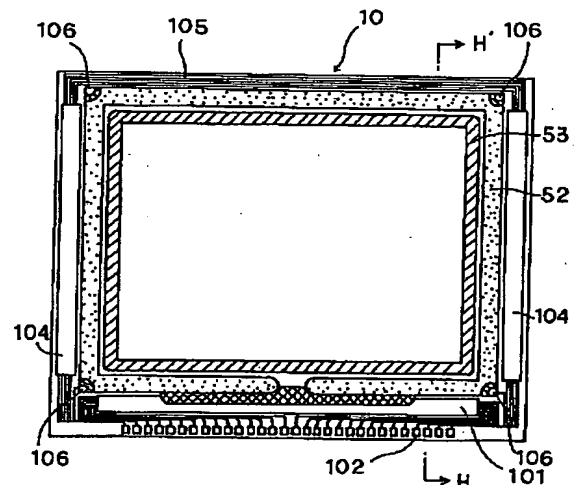
【図1】



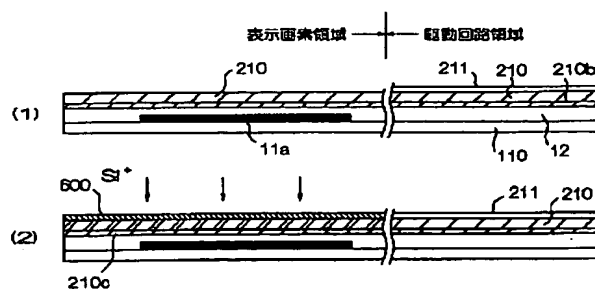
【図10】



【図9】

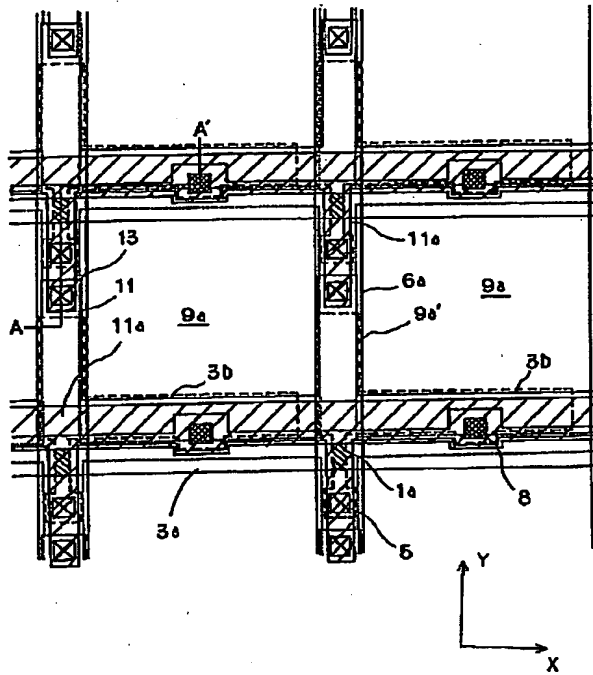


【図12】

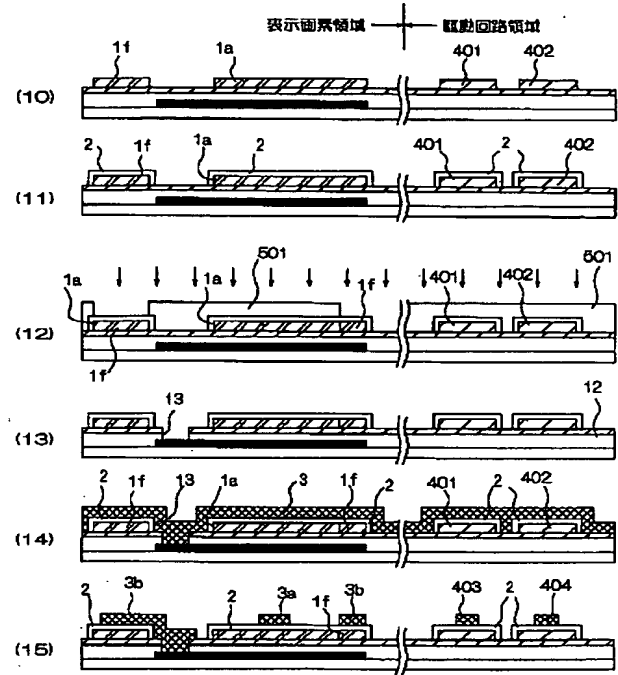


(13)

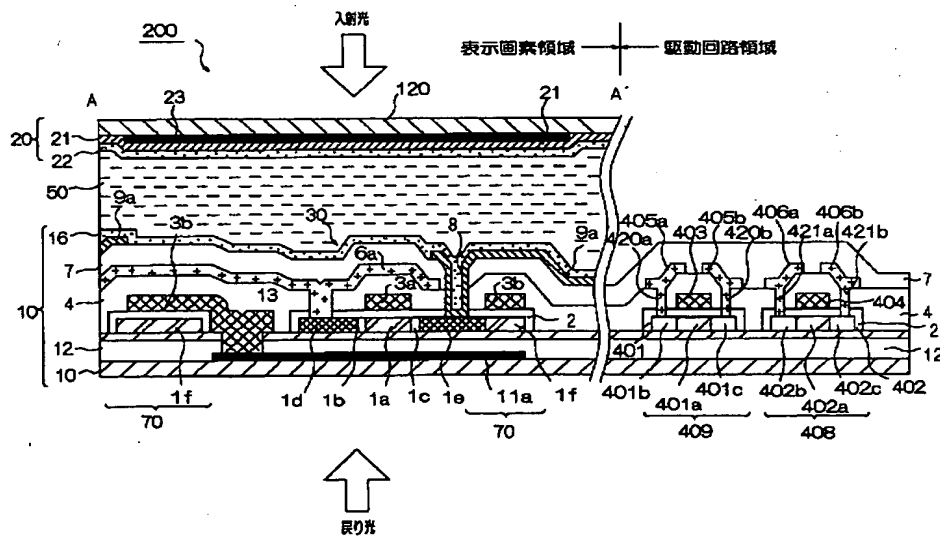
【図2】



【図5】

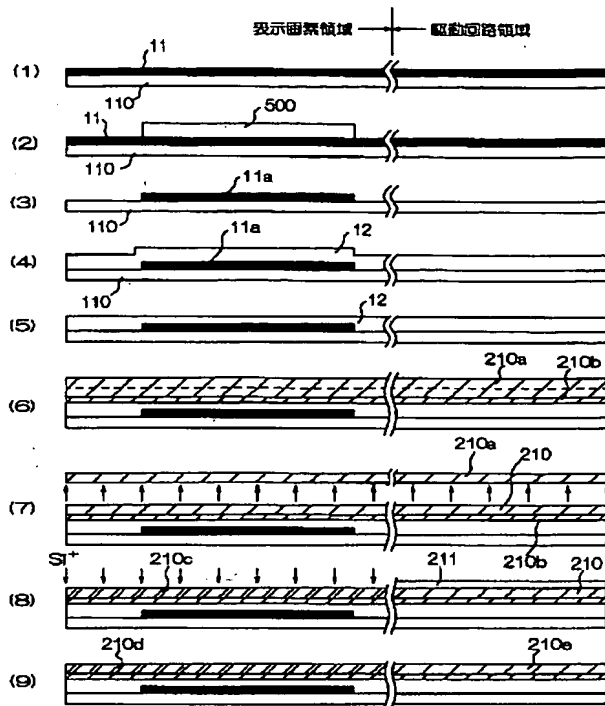


【図3】

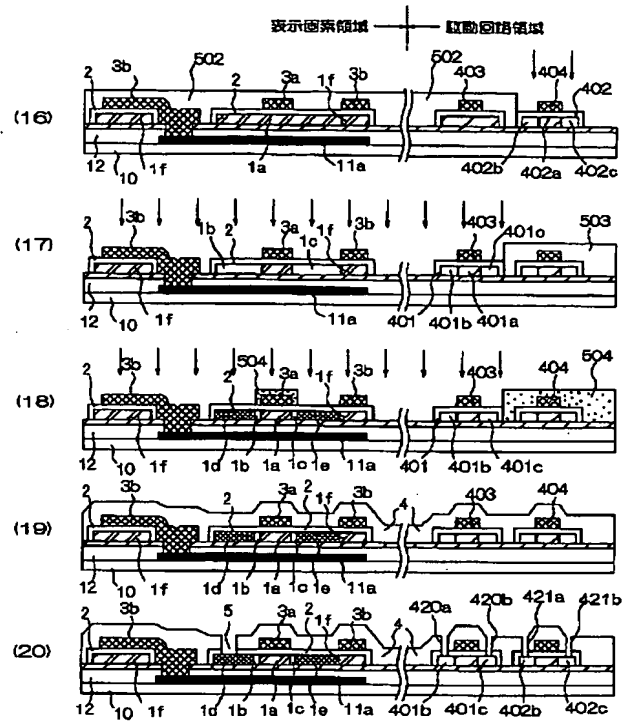


(14)

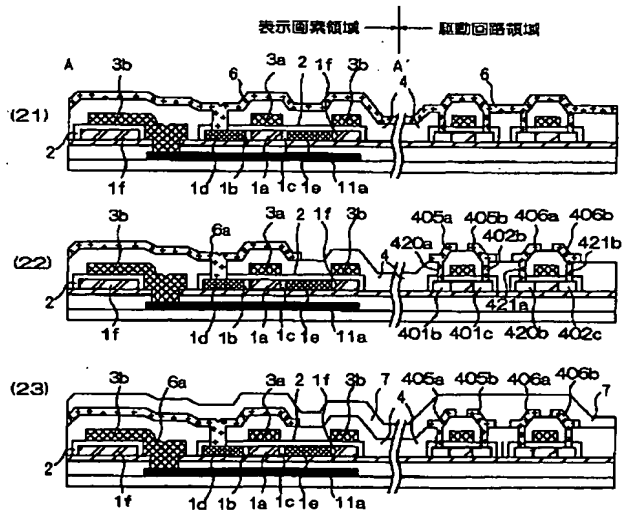
【図4】



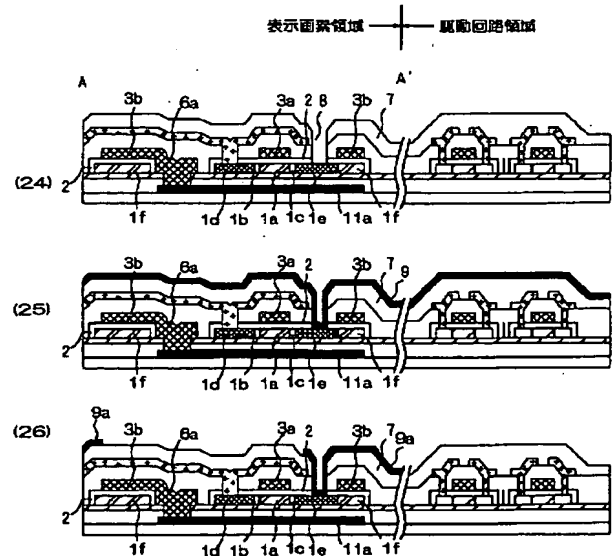
【図6】



【図7】

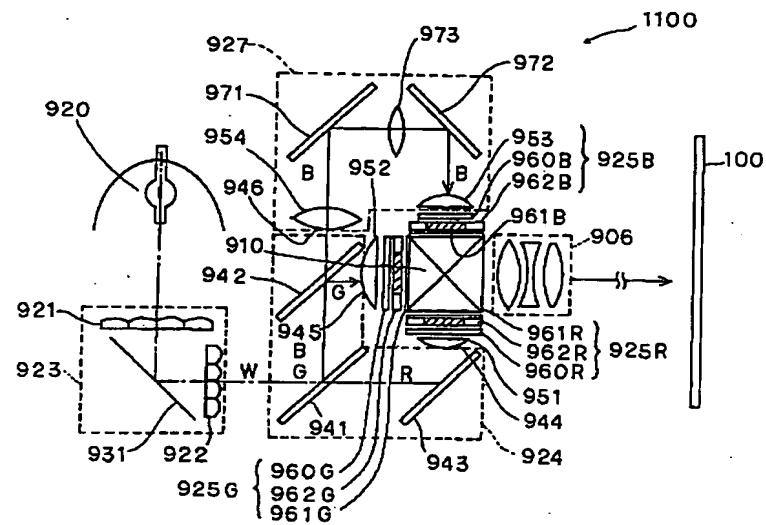


【図8】

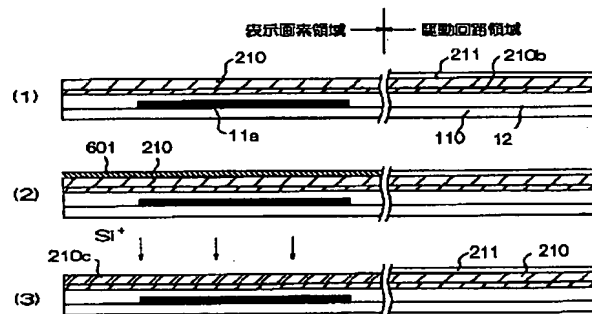


(15)

【図11】



【図13】



フロントページの続き

(51) Int. Cl. 7
H01L 21/336

識別記号

FI
H01L 29/78

テーマコード(参考)

627D
627G

(16)

Fターム(参考) 2H092 JA28 JB52 JB58 KA03 KA05
MA05 MA13 MA17 MA23 MA26
MA27 MA30 MA37 NA27 RA05
5C094 AA13 AA21 AA43 AA48 AA49
AA53 AA56 BA03 BA16 BA43
CA19 CA24 DA09 DA13 DB01
DB04 EA04 EA05 EB02 ED03
ED15 FA01 FA02 FB02 FB12
FB14 FB15 GB10
5F052 AA02 AA04 AA17 BB07 CA10
DB10 HA01 HA06 JA01 JA10
5F110 AA16 BB02 BB04 CC02 DD02
DD12 DD13 DD14 DD25 EE09
EE45 FF02 FF09 FF23 FF32
GG02 GG12 GG13 GG25 HJ01
HJ04 HJ23 HL03 HL05 HL07
HL23 HM15 NN03 NN04 NN22
NN23 NN24 NN25 NN26 NN35
NN44 NN46 NN72 NN73 NN78
PP01 PP03 PP10 PP33 QQ11
QQ17
5G435 AA16 AA17 BB12 BB15 BB17
CC09 CC12 DD05 EE32 EE37
FF13 HH12 HH13 HH14 KK05
KK09